

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-236097

(43)Date of publication of application : 29.08.2000

(51)Int. Cl.

H01L 29/786
H01L 21/336
G02F 1/1365
H01L 21/8238
H01L 27/092
H01L 27/08

(21)Application number : 11-359287

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 17.12.1999

(72)Inventor : YAMAZAKI SHUNPEI
KOYAMA JUN

(30)Priority

Priority number : 10361535

Priority date : 18.12.1998

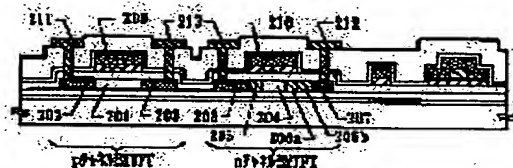
Priority country : JP

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the reliability of a crystal TFT, and furthermore, to provide wiring structure which is suitable for an integrated circuit, in an large-area integrated circuit.

SOLUTION: In a TFT with an LDD structure, there are two regions whose LDDs regions overlap and do not overlap with gate electrodes 209 and 210. Furthermore, in a large-area integrated circuit, a gate bus line and one part of gate wiring are set to clad structure to reduce wiring resistance and to achieve high integration.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

<http://www19.ipdl.jpo.go.jp/PA1/result/detail/main/wAAAwbayIPDA412236097P1.htm>

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-236097

(P2000-236097A)

(43)公開日 平成12年8月29日(2000.8.29)

(51)IntCl. ⁷	識別記号	F I	テームト* (参考)	
H 0 1 L	29/786	H 0 1 L	29/78	6 1 6 A
	21/336		27/08	3 3 1 E
G 0 2 F	1/1365	G 0 2 F	1/136	5 0 0
H 0 1 L	21/8238	H 0 1 L	27/08	3 2 1 E
	27/092		29/78	6 1 3 A
審査請求 未請求 請求項の数27 O L (全 35 頁) 最終頁に続く				

(21)出願番号 特願平11-359287

(22)出願日 平成11年12月17日(1999.12.17)

(31)優先権主張番号 特願平10-361535

(32)優先日 平成10年12月18日(1998.12.18)

(33)優先権主張国 日本 (J P)

(71)出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 小山 潤

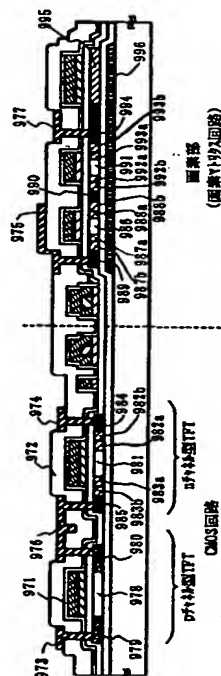
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54)【発明の名称】 半導体装置およびその作製方法

(57)【要約】

【課題】 大面積集積回路において、結晶質TFTの信頼性を向上させることを第1の課題とする。さらに、前記集積回路に適した配線構造を実現することを課題とする。

【解決手段】 LDD構造を有するTFTにおいて、そのLDD領域がゲート電極とオーバーラップする領域と、オーバーラップしない領域とが一つのTFTに設けられた構造とした。さらに、大面積集積回路において、配線抵抗の低減と高集積化を実現するために、ゲートバスラインおよびゲート配線の一部をクラッド構造とした。



971:第1の層間絶縁膜(SiO₂)、972:第1の層間絶縁膜(SiO₂)、973:第1の層間絶縁膜(SiO₂)、974:第1の層間絶縁膜(SiO₂)、975:第1の層間絶縁膜(SiO₂)、976:第1の層間絶縁膜(SiO₂)、977:第1の層間絶縁膜(SiO₂)、978:第1の層間絶縁膜(SiO₂)、979:第1の層間絶縁膜(SiO₂)、980:第1の層間絶縁膜(SiO₂)、981:第1の層間絶縁膜(SiO₂)、982:第1の層間絶縁膜(SiO₂)、983:第1の層間絶縁膜(SiO₂)、984:第1の層間絶縁膜(SiO₂)、985:第1の層間絶縁膜(SiO₂)、986:第1の層間絶縁膜(SiO₂)、987:第1の層間絶縁膜(SiO₂)、988:第1の層間絶縁膜(SiO₂)、989:第1の層間絶縁膜(SiO₂)、990:第1の層間絶縁膜(SiO₂)、991:第1の層間絶縁膜(SiO₂)、992:第1の層間絶縁膜(SiO₂)、993:第1の層間絶縁膜(SiO₂)、994:第1の層間絶縁膜(SiO₂)、995:第1の層間絶縁膜(SiO₂)、996:第1の層間絶縁膜(SiO₂)、997:第1の層間絶縁膜(SiO₂)、998:第1の層間絶縁膜(SiO₂)、999:第1の層間絶縁膜(SiO₂)

【特許請求の範囲】

【請求項 1】絶縁表面を有する基板上に半導体層と前記半導体層に接して形成されたゲート絶縁膜と前記ゲート絶縁膜に接して形成されたゲート電極と前記ゲート電極に接続されたゲート配線とを有する半導体装置において、

前記ゲート電極は第 1 の導電層と第 2 の導電層とから成り、

前記ゲート配線は前記第 1 の導電層と前記第 2 の導電層とで成る領域と、前記第 1 の導電層と前記第 2 の導電層と第 3 の導電層とで成る領域とを有し、

前記半導体層はチャネル形成領域と一導電型の第 1 の不純物領域と前記チャネル形成領域と前記一導電型の第 1 の不純物領域とに挟まれ、かつ、前記チャネル形成領域に接する一導電型の第 2 の不純物領域とを有し、前記一導電型の第 2 の不純物領域の一部は前記ゲート電極と重なっていることを特徴とする半導体装置。

【請求項 2】絶縁表面を有する基板上に半導体層と前記半導体層に接して形成されたゲート絶縁膜と前記ゲート絶縁膜に接して形成されたゲート電極と前記ゲート電極に接続されたゲート配線とを有する半導体装置において、

前記ゲート電極は前記ゲート絶縁膜に接して形成された第 1 の導電層を有し、

前記ゲート配線は前記第 1 の導電層と第 2 の導電層とで成る領域と、前記第 1 の導電層と前記第 2 の導電層と第 3 の導電層とで成る領域とを有し、

前記半導体層はチャネル形成領域と一導電型の第 1 の不純物領域と前記チャネル形成領域と前記一導電型の第 1 の不純物領域とに挟まれ、かつ、前記チャネル形成領域に接する一導電型の第 2 の不純物領域とを有し、前記一導電型の第 2 の不純物領域の一部は前記ゲート電極と重なっていることを特徴とする半導体装置。

【請求項 3】画素部に n チャネル型薄膜トランジスタを有する半導体装置において、

前記 n チャネル型薄膜トランジスタのゲート電極はゲート絶縁膜に接して形成された第 1 の導電層を有し、

前記 n チャネル型薄膜トランジスタのゲート電極に接続するゲート配線は、前記第 1 の導電層と第 2 の導電層とで成る領域と前記第 1 の導電層と、前記第 2 の導電層と第 3 の導電層とで成る領域とを有し、

前記 n チャネル型薄膜トランジスタの半導体層は、チャネル形成領域と一導電型の第 1 の不純物領域と前記チャネル形成領域と前記一導電型の第 1 の不純物領域とに挟まれ、かつ、前記チャネル形成領域に接する一導電型の第 2 の不純物領域とを有し、

前記一導電型の第 2 の不純物領域の一部は前記ゲート電極と重なっていることを特徴とする半導体装置。

【請求項 4】n チャネル型薄膜トランジスタと p チャネル型薄膜トランジスタとで形成された CMOS 回路を有

する半導体装置において、

前記 n チャネル型薄膜トランジスタのゲート電極はゲート絶縁膜に接して形成された第 1 の導電層を有し、前記 n チャネル型薄膜トランジスタのゲート電極に接続するゲート配線は、前記第 1 の導電層と第 2 の導電層とで成る領域と、前記第 1 の導電層と前記第 2 の導電層と第 3 の導電層とで成る領域とを有し、

前記 n チャネル型薄膜トランジスタの半導体層は、チャネル形成領域と一導電型の第 1 の不純物領域と前記チャネル形成領域と前記一導電型の第 1 の不純物領域とに挟まれ、かつ、前記チャネル形成領域に接する一導電型の第 2 の不純物領域とを有し、

前記一導電型の第 2 の不純物領域の一部は前記ゲート電極と重なっていることを特徴とする半導体装置。

【請求項 5】画素部の n チャネル型薄膜トランジスタ

と、n チャネル型薄膜トランジスタと、p チャネル型薄膜トランジスタとで形成された CMOS 回路を有する半導体装置において、

前記画素部と CMOS 回路の n チャネル型薄膜トランジスタのゲート電極はゲート絶縁膜に接して形成された第 1 の導電層を有し、

前記画素部と CMOS 回路の n チャネル型薄膜トランジスタのゲート電極に接続するゲート配線は前記第 1 の導電層と第 2 の導電層とで成る領域と、前記第 1 の導電層と前記第 2 の導電層と第 3 の導電層とで成る領域とを有し、

前記画素部と CMOS 回路の n チャネル型薄膜トランジスタの半導体層は、チャネル形成領域と一導電型の第 1 の不純物領域と前記チャネル形成領域と前記一導電型の第 1 の不純物領域とに挟まれ、かつ、前記チャネル形成領域に接する一導電型の第 2 の不純物領域とを有し、

前記一導電型の第 2 の不純物領域の一部は前記ゲート電極と重なっていることを特徴とする半導体装置。

【請求項 6】一つの画素に少なくとも第 1 の n チャネル型薄膜トランジスタと第 2 の n チャネル型薄膜トランジスタを有する半導体装置において、

前記第 1 及び第 2 の n チャネル型薄膜トランジスタのそれぞれのゲート電極はゲート絶縁膜に接して形成された第 1 の導電層を有し、

前記第 1 及び第 2 の n チャネル型薄膜トランジスタのそれぞれのゲート電極に接続するゲート配線は、前記第 1 の導電層と、第 2 の導電層とで成る領域と、前記第 1 の導電層と、前記第 2 の導電層と、第 3 の導電層とで成る領域とを有し、

前記第 1 の n チャネル型 TFT の半導体層は、チャネル形成領域と一導電型の第 1 の不純物領域と前記チャネル形成領域と前記一導電型の第 1 の不純物領域とに挟まれ、かつ、前記チャネル形成領域に接する一導電型の第 2 の不純物領域とが設けられ、前記一導電型の第 2 の不純物領域の一部は前記ゲート電極と重なる領域と重なら

ない領域とを有し、

前記第2のnチャネル型TFTの半導体層は、チャネル形成領域と一導電型の第1の不純物領域と前記チャネル形成領域と前記一導電型の第1の不純物領域とに挟まれ、かつ、前記チャネル形成領域に接する一導電型の第2の不純物領域とを有し、前記一導電型の第2の不純物領域の一部は前記ゲート電極と重なる領域を有することを特徴とする半導体装置。

【請求項7】請求項6において、前記第1のnチャネル型薄膜トランジスタはマルチゲート構造を有することを特徴とする半導体装置。

【請求項8】請求項6において、前記第2のnチャネル型TFTには、発光層を有する素子が接続されていることを特徴とする半導体装置。

【請求項9】一つの画素にnチャネル型薄膜トランジスタとpチャネル型TFTとを有する半導体装置において、

前記nチャネル型薄膜トランジスタとpチャネル型TFTとのゲート電極は、ゲート絶縁膜に接して形成された第1の導電層を有し、

前記nチャネル型薄膜トランジスタとpチャネル型TFTとのゲート電極に接続するゲート配線は、前記第1の導電層と、第2の導電層とで成る領域と、前記第1の導電層と、前記第2の導電層と、第3の導電層とで成る領域とを有し、

前記nチャネル型薄膜トランジスタの半導体層は、チャネル形成領域と、一導電型の第1の不純物領域と、前記チャネル形成領域と前記一導電型の第1の不純物領域とに挟まれ、かつ、前記チャネル形成領域に接する一導電型の第2の不純物領域とが設けられ、前記一導電型の第2の不純物領域の一部は、前記ゲート電極と重なる領域と重ならない領域とを有し、

前記pチャネル型薄膜トランジスタの半導体層は、チャネル形成領域と、一導電型とは反対の導電型の第3の不純物領域とが設けられていることを特徴とする半導体装置。

【請求項10】請求項9において、前記nチャネル型薄膜トランジスタはマルチゲート構造を有することを特徴とする半導体装置。

【請求項11】請求項9において、前記pチャネル型TFTには、発光層を有する素子が接続されていることを特徴とする半導体装置。

【請求項12】請求項4または請求項5または請求項9のいずれか一項において、

前記pチャネル型薄膜トランジスタのゲート電極はゲート絶縁膜に接して形成された第1の導電層を有し、

前記pチャネル型薄膜トランジスタのゲート電極に接続するゲート配線は、前記第1の導電層と第2の導電層とで成る領域と、前記第1の導電層と、前記第2の導電層と、第3の導電層とで成る領域とを有し、

前記pチャネル型薄膜トランジスタの半導体層は、チャネル形成領域と一導電型とは反対の導電型の第3の不純物領域とを有し、

前記一導電型とは反対の導電型の第3の不純物領域の一部は前記ゲート絶縁膜を介して前記ゲート電極と重なっていることを特徴とする半導体装置。

【請求項13】請求項4または請求項5、或いは請求項9乃至請求項11のいずれか一項において、前記pチャネル型薄膜トランジスタのゲート電極はゲート絶縁膜に接して形成された第1の導電層を有し、

前記pチャネル型薄膜トランジスタのゲート電極に接続するゲート配線は、前記第1の導電層と第2の導電層とで成る領域と、前記第1の導電層と前記第2の導電層と第3の導電層とで成る領域とを有し、

前記pチャネル型薄膜トランジスタの半導体層は、チャネル形成領域と一導電型とは反対の導電型の第3の不純物領域とを有し、

前記一導電型とは反対の導電型の第3の不純物領域の一部は前記ゲート絶縁膜を介して前記ゲート電極と重ならないことを特徴とする半導体装置。

【請求項14】請求項1乃至請求項6または請求項9のいずれか一項において、前記第1の導電層と、前記第2の導電層と、は、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)から選ばれた一種または複数種の元素、あるいは前記元素を主成分とする化合物であることを特徴とする半導体装置。

【請求項15】請求項1乃至請求項6または請求項9のいずれか一項において、前記第3の導電層はアルミニウム(Al)、銅(Cu)から選ばれた一種または複数種の元素、あるいは前記元素を主成分とする化合物であることを特徴とする半導体装置。

【請求項16】請求項1乃至請求項6または請求項9のいずれか一項において、前記半導体装置は、液晶表示装置、EL表示装置、またはイメージセンサであることを特徴とする半導体装置。

【請求項17】請求項1乃至請求項6または請求項9のいずれか一項において、前記半導体装置は携帯電話、ビデオカメラ、デジタルカメラ、プロジェクター、ゴーグル型ディスプレイ、パーソナルコンピュータ、DVDプレーヤー、電子書籍、または携帯型情報端末から選ばれた一つであることを特徴とする半導体装置。

【請求項18】絶縁表面を有する基板上に半導体層を形成する工程と、

前記半導体層に接してゲート絶縁膜を形成する工程と、前記ゲート絶縁膜に接して第1の導電層を形成する工程と、

一導電型の不純物元素を前記半導体層に選択的に添加して第2の不純物領域を形成する工程と、

前記第1の導電層に接して第3の導電層を形成する工程と、

[illegible]

前記第1の導電層と前記第3の導電層とに接して第2の導電層を形成する工程と、
前記第1の導電層と前記第2の導電層とからゲート電極を形成する工程と、
層とからゲート配線を形成する工程と、
一導電型の不純物元素を前記半導体層に選択的に添加して第1の不純物領域を形成する工程と有することを特徴とする半導体装置の作製方法。
【請求項19】絶縁表面を有する基板上に半導体層を形成する工程と、
前記半導体層に接してゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜に接して第1の導電層を形成する工程と、
前記第1の導電層と前記第2の導電層とに接して第2の導電層を形成する工程と、
前記第1の導電層と前記第3の導電層とに接して第3の導電層を形成する工程と、
前記第1の導電層と前記第2の導電層とからゲート電極を形成する工程と、
前記第1の導電層と前記第2の導電層とに接して第2の導電層を形成する工程と、
前記第1の導電層と前記第3の導電層とに接して第3の導電層を形成する工程と、
前記第1の導電層と前記第2の導電層とからゲート電極を形成する工程と、
層とからゲート配線を形成する工程と、
一導電型の不純物元素を前記半導体層に選択的に添加して第1の不純物領域を形成する工程と有することを特徴とする半導体装置の作製方法。
【請求項20】絶縁表面を有する基板上に半導体層を形成する工程と、
前記半導体層の一部を除去して少なくとも第1の島状半導体層と第2の島状半導体層とを形成する工程と、
前記第1の島状半導体層と第2の島状半導体層とに接してゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜に接して第1の導電層を形成する工程と、
と、
一導電型の不純物元素を少なくとも前記第1の島状半導体層の選択された領域に添加して第2の不純物領域を形成する工程と、
前記第1の導電層に接して第3の導電層を形成する工程と、
と、
前記第1の導電層と前記第3の導電層とに接して第2の導電層を形成する工程と、
前記第1の導電層と前記第2の導電層とからゲート電極を形成する工程と、
前記第1の導電層と前記第2の導電層とに接して第2の導電層を形成する工程と、
前記第1の導電層と前記第3の導電層とに接して第3の導電層を形成する工程と、
と、
一導電型の不純物元素を少なくとも前記第1の島状半導

スタ)に及ばないとされている。例えば、結晶質TFTにはオン電流の低下といった劣化現象が観測されることがあった。この原因はホットキャリア効果であり、ドレイン近傍の高電界によって発生したホットキャリアが劣化現象を引き起こすものと考えられていた。

【0013】TFTの構造には、低濃度ドレイン(LDD: Lightly Doped Drain)構造が知られている。この構造はチャネル形成領域と、高濃度に不純物が添加されるソース領域またはドレイン領域との間に低濃度の不純物領域を設けたものであり、この低濃度不純物領域はLDD領域と呼ばれている。

【0014】LDD構造はさらにゲート電極との位置関係により、ゲート電極とオーバーラップするGOLD(Gate-drain Overlapped LDD)構造や、ゲート電極とオーバーラップしないLDD構造などがある。GOLD構造は、ドレイン近傍の高電界を緩和してホットキャリア効果を防ぎ、信頼性を向上させることができた。例えば、「Mutsuko Hatano, Hajime Akimoto and Takeshi Sakai, IEDM97 TECHNICAL DIGEST, p523-526, 1997」では、シリコンで形成したサイドウォールによるGOLD構造であるが、他の構造のTFTと比べ、きわめて優れた信頼性が得られることが確認されている。

【0015】一方、大面積集積回路に係わる他の問題として、配線の問題があった。TFTで構成される集積回路には、ゲート電極に接続されるゲート配線と、ソース電極またはドレイン電極に接続されるデータ配線が設けられる。特にゲート配線には寄生容量や配線抵抗の影響による配線遅延の問題を有していた。ゲート電極やゲート配線には耐熱性を考慮してモリブデン(Mo)、タンタル(Ta)やタングステン(W)といった材料が用いられていたが、これらは面積抵抗で10Ω程度あり、大面積集積回路には適していなかった。本来はアルミニウム(Al)や銅(Cu)などの低抵抗材料を用いることが好ましかった。

【0016】

【発明が解決しようとする課題】しかしながら、GOLD構造では通常のLDD構造に比べてオフ電流が大きくなってしまう問題があり、大面積集積回路においてすべてのTFTをその構造で形成することは必ずしも好ましくなかった。例えば、画素TFTでは、オフ電流が増加すると、消費電力が増えたり画像表示に異常が現れたりするので、GOLD構造の結晶質TFTをそのまま適用することは好ましくなかった。

【0017】また、LDD構造は直列抵抗の増加により、オン電流が低下してしまうことが問題であった。オン電流はTFTのチャネル幅などにより自由に設計できるものではあるが、例えば、バッファ回路を構成するTFTにLDD構造を設ける必要は必ずしもなかった。

【0018】本発明は、アクティブマトリクス型の液晶表示装置やEL表示装置、並びにイメージセンサに代表

される大面積集積回路を有する半導体装置において、機能回路ごとに最適な構造のTFTを提供することを課題とする。また、そのようなTFTを同一基板上に同一工程で形成する方法を提供することを課題としている。

【0019】また、アクティブマトリクス型液晶表示装置やEL表示装置、並びにイメージセンサに代表される大面積集積回路を有する半導体装置において、配線抵抗の低抵抗化と高集積化を両立させた配線構造を提供することを課題としている。

【0020】本発明はこのような課題を解決するための技術であり、MOSトランジスタと同等かそれ以上の信頼性が得られる結晶質TFTを実現することを目的としている。そして、そのような結晶質TFTでさまざまな機能回路を形成した大面積集積回路を有する半導体装置の信頼性を高めることを目的としている。

【0021】

【課題を解決するための手段】本発明は上記課題を解決するために、LDD領域がゲート電極とオーバーラップする領域と、オーバーラップしない領域とが一つのTFTに設けられる構造とすることに特徴を有している。

【0022】また、本発明はアクティブマトリクス型液晶表示装置やEL表示装置、並びにイメージセンサに代表される大面積集積回路を有する半導体装置において、それぞれの機能回路ごとに最適な構造のTFTを実現するために、LDD領域がゲート電極とオーバーラップする領域と、オーバーラップしない領域との比をそれぞれのTFTで異ならせることを可能としている。

【0023】さらに、アクティブマトリクス型液晶表示装置やEL表示装置、並びにイメージセンサに代表される大面積集積回路において、低抵抗材料であるAlやCuを有効に使ったゲート配線を実現するために、クラッド構造の配線を部分的に形成する配線構造とした。

【0024】従って、本発明で開示する発明の構成は、絶縁表面を有する基板上に、半導体層とゲート絶縁膜とゲート電極と、さらにそのゲート電極に接続したゲート配線とを有する半導体装置において、ゲート電極は第1の導電層、または第1の導電層と第2の導電層とから成り、ゲート配線は、ゲート電極と同じ導電層で形成される領域と、第3の導電層が、前記第1の導電層と第2の導電層とで覆われたクラッド構造を有する領域と、から構成されるものである。

【0025】また、前記半導体層は、チャネル形成領域と、一導電型の第1の不純物領域と、前記チャネル形成領域と前記一導電型の第1の不純物領域とに挟まれ、かつ、前記チャネル形成領域に接する一導電型の第2の不純物領域と、を有し、前記一導電型の第2の不純物領域の一部は、前記ゲート絶縁膜を介して、前記ゲート電極と重なっている構造を有している。

【0026】本発明に適用される、前記第1の導電層と第2の導電層とは、チタン(Ti)、タンタル(T

10

20

30

40

50

a)、タングステン(W)、モリブデン(Mo)から選ばれた一種または複数種の元素、あるいは前記元素を主成分とする化合物を使用するものである。また、第3の導電層はアルミニウム(Al)、銅(Cu)から選ばれた一種または複数種の元素、あるいは前記元素を主成分とする化合物に代表される低抵抗導電性材料である。

【0027】そして、本発明は、nチャネル型薄膜トランジスタで形成されたマトリクス回路と、nチャネル型薄膜トランジスタと、pチャネル型薄膜トランジスタと、で形成されたCMOS回路を有する半導体装置に適用することができる。

【0028】しかし、前記CMOS回路において、pチャネル型TFTには、本発明構成を必ずしも適用する必要はない。

【0029】また、本発明の構成は、絶縁表面を有する基板上に半導体層を形成する工程と、前記半導体層に接してゲート絶縁膜を形成する工程と、前記ゲート絶縁膜に接して第1の導電層を形成する工程と、一導電型の不純物元素を前記半導体層に選択的に添加して第2の不純物領域を形成する工程と、前記第1の導電層に接して第3の導電層を形成する工程と、前記第1の導電層と前記第3の導電層に接して第2の導電層を形成する工程と、前記第1の導電層と前記第2の導電層とからゲート電極を形成する工程と、前記第1の導電層と前記第2の導電層と前記第3の導電層とからゲート配線を形成する工程と、一導電型の不純物元素を前記半導体層に選択的に添加して第1の不純物領域を形成する工程と、前記ゲート電極の一部を除去する工程とを有することを特徴とする。

【0030】また、本発明の他の構成は、絶縁表面を有する基板上に半導体層を形成する工程と、前記半導体層の一部を除去して少なくとも第1の島状半導体層と、第2の島状半導体層とを形成する工程と、前記第1の島状半導体層と第2の島状半導体層に接してゲート絶縁膜を形成する工程と、前記ゲート絶縁膜に接して第1の導電層を形成する工程と、一導電型の不純物元素を少なくとも前記第1の島状半導体層の選択された領域に添加して第2の不純物領域を形成する工程と、前記第1の導電層に接して第3の導電層を形成する工程と、前記第1の導電層と前記第3の導電層に接して第2の導電層を形成する工程と、前記第1の導電層と前記第2の導電層とからゲート電極を形成する工程と、前記第1の導電層と前記第2の導電層と前記第3の導電層とからゲート配線を形成する工程と、一導電型の不純物元素を前記第1の島状半導体層の選択された領域に添加して第1の不純物領域を形成する工程と、一導電型とは反対の導電型の不純物元素を前記第2の島状半導体層の選択された領域に添加して第3の不純物領域を形成する工程と、前記ゲート電極の一部を除去する工程とを有することを特徴とする。

【0031】

【発明の実施の形態】[実施形態1]本発明の実施形態を図1と図2により説明する。ここでは、nチャネル型TFTとpチャネル型TFTを同一基板上に作製し、CMOS回路の基本構成であるインバータ回路を形成する実施形態について説明する。

【0032】基板101はガラス基板、プラスチック基板、セラミックス基板などを用いることができる。また、酸化シリコン膜や窒化シリコン膜などの絶縁膜を表面に形成したシリコン基板やステンレスに代表される金属基板を用いても良い。勿論、石英基板を用いることも可能である。

【0033】そして、基板101のTFTが形成される主表面には、窒化シリコン膜から成る下地膜102と、酸化シリコン膜から成る下地膜103が形成される。これらの下地膜はプラズマCVD法やスパッタ法で形成すれば良く、基板101からTFTに有害な不純物が半導体層へ拡散することを防ぐために設けるものである。その目的のために、窒化シリコン膜からなる下地膜102を20~100nm、代表的には50nmの厚さに形成し、さらに酸化シリコン膜からなる下地膜103を50~500nm、代表的には150~200nmの厚さに形成すれば良かった。

【0034】その他にも、応力バランスを考慮して、下地膜102をプラズマCVD法でSiH₄、NH₃、N₂Oから作製される第1の酸化窒化シリコン膜で10~100nmの厚さに形成し、下地膜103をSiH₄、N₂Oから作製される第2の酸化窒化シリコン膜で100~200nmの厚さに積層形成した2層構造としても良い。

【0035】勿論、下地膜を窒化シリコン膜からなる下地膜102または酸化シリコン膜からなる下地膜103のどちらか一方のみで形成しても良いが、TFTの信頼性を考慮すると2層構造とすることが最も望ましかった。

【0036】下地膜103に接して形成される半導体層はプラズマCVD法、減圧CVD法、スパッタ法などの成膜法で形成される非晶質半導体を、レーザーアニール法や熱アニール法で結晶化された結晶質半導体を用いることが望ましい。また、前記成膜法で形成される微結晶半導体を適用することも可能である。ここで適用できる半導体材料は、シリコン(Si)、ゲルマニウム(Ge)、またシリコンゲルマニウム合金、炭化シリコンがあり、その他にガリウム砒素などの化合物半導体材料を用いることもできる。

【0037】または、基板101上に形成する半導体層は、単結晶シリコン層を形成したSOI(Silicon On Insulators)基板としても良い。SOI基板にはその構造や作製方法によっていくつかの種類が知られているが、代表的には、SIMOX(Separation by Implanted Oxygen)、ELTRAN(Epitaxial Layer Transfer: キヤノン社の登録商標)基板、Smart-Cut(SOITEC社

の登録商標)などを使用することができる。勿論、その他のSOI基板を使用することも可能である。

【0038】半導体層は10~100nm、代表的には50nmの厚さとして形成されるものである。プラズマCVD法で作製される非晶質半導体膜には10~40atomic%の割合で膜中に水素が含まれているが、結晶化の工程に先立って400~500℃の熱処理の工程を行い水素を膜中から脱離させて含有水素量を5atomic%以下としておくことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。

【0039】また、下地膜と非晶質半導体膜とは同じ成膜法で形成可能であるので、下地膜102と下地膜103と、さらに半導体層を連続形成すると良い。それぞれの膜が形成された後、その表面が大気雰囲気に触れないことにより、その表面の汚染を防ぐことができる。その結果、TFTの特性バラツキを発生させる要因の一つをなくすることができた。

【0040】非晶質半導体膜を結晶化する工程は、公知のレーザーアニール法または熱アニール法の技術を用いれば良い。また、触媒元素を用いた熱アニール法の技術により結晶質半導体膜を形成すると優れたTFT特性を得ることができる。

【0041】こうして形成された結晶質半導体膜を、第1のフォトリソマスクを使用して、公知のパターニング法によりレジストマスクを形成し、ドライエッチング法により島状の半導体層104、105を形成した。

【0042】次に、島状の半導体層104、105の表面に、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜106を形成する。ゲート絶縁膜106は、プラズマCVD法やスパッタ法で形成し、その厚さを10~200nm、好ましくは50~150nmとして形成すれば良い。

【0043】そして、ゲート絶縁膜106の表面に第1の導電層107と、第3の導電層108とを形成した。第1の導電層107は、Ta、Ti、Mo、Wから選ばれた元素を主成分とする導電性材料を用いる。第1の導電層107の厚さは5~50nm、好ましくは10~25nmで形成すれば良い。

【0044】ゲート絶縁膜106と第1の導電層107の厚さは重要である。これは、後に実施されるドーピング工程において、n型を付与する不純物をゲート絶縁膜106と第1の導電層107を通過させて、半導体層104、105に添加するためである。実際には、ゲート絶縁膜106と第1の導電層107の厚さを考慮して、ドーピング工程の条件が決定される。ここで、ゲート絶縁膜106や第1の導電層107の厚さが予め決められた値よりも10%以上変動すると、添加される不純物濃度が減少してしまうためである。

【0045】第3の導電層108はAlまたはCuを主成分とする導電性材料を用いる。例えば、Alを用いる場合には、Ti、Si、Scから選ばれた元素が0.1~5atomic%添加されたAl合金を用いても良い。第3の導電層は100~1000nm、好ましくは200~400nmで形成すれば良い。これは、ゲート配線またはゲートバスラインの配線抵抗を下げるための配線材料として形成されるものである。(図1(A))

【0046】本発明において、ゲート配線とは、ゲート絶縁膜106上に、ゲート電極と同じ材料から形成され、ゲート電極に接続する配線であり、ゲート電極に接続する構成においてゲートバスラインもゲート配線の一部であると見なす。

【0047】次に第2のフォトリソマスクを使用してレジストマスクを形成し、第3の導電層の不要な部分を除去して、ゲートバスラインの一部を形成した(図1(B)の109)。第3の導電層がAlである場合、リン酸溶液によるウェットエッチング法により、下地にある第1の導電層と選択性良く除去することができた。

【0048】そして、第3のフォトリソマスクにより、半導体層104と、半導体層105のチャンネル形成領域を覆うレジストマスク110、111を形成した。このとき、配線を形成する領域にもレジストマスク112を形成しておいても良い。

【0049】そして、n型を付与するドーピング工程を行った。結晶質半導体材料に対してn型を付与する不純物元素としては、リン(P)、砒素(As)、アンチモン(Sb)などが知られているが、ここでは、リンを用い、フォスフィン(PH₃)を用いたイオンドープ法で行った。この工程では、ゲート絶縁膜106と第1の導電膜107を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定した。半導体層に添加されるリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19}$ atoms/cm³の範囲にするのが好ましく、ここでは 1×10^{18} atoms/cm³とした。そして、半導体層にリンが添加された不純物領域113、114が形成された。ここで形成されたリンが添加された領域の一部は、LDD領域として機能する第2の不純物領域とするものである。(図1(B))

【0050】その後、レジストマスク110、111、112を除去して、第2の導電層115を全面に形成した。第2の導電層115は第1の導電層107と同じ材料で形成されても良く、Ta、Ti、Mo、Wから選ばれた元素を主成分とする導電性材料を用いる。そして、第2の導電層115の厚さは100~1000nm、好ましくは200~500nmで形成しておけば良い。(図1(C))

【0051】次に、第4のフォトリソマスクによりレジストマスク116、117、118、119を形成した。第4のフォトリソマスクは、pチャンネル型TFTのゲート電極

と、ゲート配線、ゲートバスラインを形成するためのものである。nチャネル型TFTのゲート電極は後の工程で形成するため、第1の導電層122と第2の導電層123が半導体層105上で残るようにレジストマスク117を形成した。

【0052】第1の導電層と第2の導電層はドライエッチング法により不要な部分を除去した。そして、ゲート電極120、121と、ゲート配線124、125と、ゲートバスライン126、127を形成した。

【0053】ゲートバスラインは、第3の導電層109が第1の導電層126と第2の導電層127とで覆われたクラッド型の構造として形成される。第3の導電層はAlやCuを主成分とした低抵抗材料であり、配線抵抗を下げる事ができた。

【0054】そして、レジストマスク116、117、118、119をそのまま残して、pチャネル型TFTが形成される半導体層104の一部にp型を付与する不純物元素を添加するために、ドーピング工程を行った。p型を付与する不純物元素としては、ボロン(B)、アルミニウム(Al)、ガリウム(Ga)、が知られているが、ここではボロンをその不純物元素として、ジボラン(B₂H₆)を用いてイオンドープ法で添加した。ここでも加速電圧を80keVとして、 2×10^{20} atoms/cm³の濃度にボロンを添加した。そして、図1(D)に示すようにボロンが高濃度に添加された第3の不純物領域152、153を形成した。

【0055】図1(D)設けられたレジストマスクを除去した後、新たに第5のフォトマスクによりレジストマスク128、129、130を形成した。第5のフォトマスクはnチャネル型TFTのゲート電極を形成するためのものであり、ドライエッチング法によりゲート電極131、132が形成される。このときゲート電極131、132は第2の不純物領域113、114の一部と重なるように形成される。(図1(E))

【0056】そして、レジストマスク128、129、130を完全に除去した後、レジストマスク133、134、135を形成した。レジストマスク134はnチャネル型TFTのゲート電極131、132と、第2の不純物領域の一部を覆う形で形成されるものである。レジストマスク134は、LDD領域のオフセット量を決めるものである。

【0057】そして、n型を付与するドーピング工程を行った。そして、ソース領域となる第1の不純物領域137とドレイン領域となる第1の不純物領域136が形成された。ここでは、フォスフィン(PH₃)を用いたイオンドープ法で行った。この工程でも、ゲート絶縁膜106を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定した。この領域のリンの濃度はn型を付与するドーピング工程と比較して高濃度であり、 $1 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm³と

するのが好ましく、ここでは 1×10^{20} atoms/cm³とした。(図2(A))

【0058】そして、ゲート絶縁膜106、ゲート電極120、121、131、132、ゲート配線124、125、ゲートバスライン126、127の表面に第1の層間絶縁膜138、150を形成した。第1の層間絶縁膜150は窒化シリコン膜であり、50nmの厚さで形成した。また第1の層間絶縁膜138は酸化シリコン膜であり、950nmの厚さに形成した。

【0059】ここで形成された窒化シリコン膜から成る第1の層間絶縁膜150は次の熱処理の工程を行うために必要なものであった。これはゲート電極120、121、131、132、ゲート配線124、125、ゲートバスライン126、127の表面が酸化することを防ぐために効果的であった。

【0060】熱処理の工程は、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために行う必要があった。この工程は、電気加熱炉を用いた熱アニール法や、前述のエキシマレーザーを用いたレーザーアニール法や、ハロゲンランプを用いたラビットサーマルアニール法(RTA法)で行えば良い。しかし、レーザーアニール法は低い基板加熱温度で活性をすることができるが、ゲート電極の下にかくれる領域まで活性化させることは困難であった。従って、ここでは熱アニール法で活性化の工程を行った。加熱処理は、窒素雰囲気中において300~700℃、好ましくは350~550℃、ここでは450℃、2時間の処理を行った。

【0061】第1の層間絶縁膜138、150はその後、第7のフォトマスクを用い、所定のレジストマスクを形成した後、エッチング処理によりそれぞれのTFTのソース領域と、ドレイン領域に達するコンタクトホールを形成した。そして、ソース電極139、140とドレイン電極141を形成した。図示していないが、本実施形態ではこの電極を、Ti膜を100nm、Tiを含むAl膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の電極として用いた。

【0062】以上の工程で、CMOS回路のnチャネル型TFTにはチャネル形成領域145、第1の不純物領域148、149、第2の不純物領域146、147が形成された。ここで、第2の不純物領域は、ゲート電極と重なる領域(GOLD領域)146a、147aと、ゲート電極と重ならない領域(LDD領域)146b、147bがそれぞれ形成された。そして、第1の不純物領域148はソース領域として、第1の不純物領域149はドレイン領域として機能した。

【0063】一方、pチャネル型TFTは、チャネル形成領域142、第3の不純物領域143、144が形成された。そして、第3の不純物領域143はソース領域として、第3の不純物領域144はドレイン領域となっ

た。(図2(B))

【0064】また、図2(C)はインバータ回路の上面図を示し、TFT部分のA-A'断面構造、ゲート配線部分のB-B'断面構造、ゲートバスライン部分のC-C'断面構造は、図2(B)と対応している。本発明において、ゲート電極とゲート配線は、第1の導電層と第2の導電層とから形成され、ゲートバスラインは、第1の導電層と第2の導電層と第3の導電層とから形成されたクラッド構造を有している。

【0065】図1と図2では、nチャネル型TFTとpチャネル型TFTとを相補的組み合わせで成るCMOS回路を例にして示したが、nチャネル型TFTを用いたNMOS回路や、液晶表示装置の画素部の画素TFTに本願発明を適用することもできる。

【0066】[実施形態2]本発明のTFTの構成を図26を用いてさらに詳細に説明する。尚、ここでは図26における各符号は、図1および図2の各符号と対応させて用いている。LDD領域である第2の不純物領域は、ゲート電極131、132と重なる第2の不純物領域146aと、重ならない第2の不純物領域146bとに分けることができる。即ち、ゲート電極とオーバーラップするLDD領域(Lov)とオーバーラップしないLDD領域(Loff)が形成されている。

【0067】LDD領域においてLovとLoffの長さは実施形態1で示したように3枚のフォトマスクを用いたパターンニングにより容易に実施可能である。実施形態1で示した工程では、第3のフォトマスクでレジストマスクを形成したドーピング工程によりLDD領域が形成され、第5のフォトマスクにより、ゲート電極が形成されると同時にLDDのオーバーラップ領域(Lov)が形成される。さらに第6のフォトマスクで形成されるレジストマスクにより、オーバーラップしないLDD領域(Loff)が形成されるものである。

【0068】しかし、この3枚のフォトマスクは、ドーピング工程において、レジストマスクを形成する目的の他に、ゲート電極をパターンニングするためのマスクでもあり、これらの機能を兼用させることにより必ずしも工程が増えることはなかった。

【0069】従って、LovとLoffとの長さには設計の自由度が与えられ、作製するTFTのサイズとの兼ね合いの中で任意に設定することができた。これは、大面積集積回路においてそれぞれの機能回路ごとに駆動電圧の異なるTFTを作製するような場合、きわめて有益な方法であった。図26にはその一例として、アクティブマトリクス型液晶表示装置のロジック回路部、バッファ回路部、アナログスイッチ部、および画素部に使用するTFTの設計値の一例を示す。このとき、それぞれのTFTの駆動電圧を考慮して、チャネル長はもとより、ゲート電極とオーバーラップする第2の不純物領域146aと、ゲート電極とオーバーラップしない第2の不純物領

域146bの長さを適宜設定することができた。

【0070】例えば、液晶表示装置のドライバ回路のシフトレジスタ回路のTFTや、バッファ回路のTFTは基本的にオン特性が重視されるので、いわゆるGOLD構造だけでも良く、ゲート電極とオーバーラップしない第2の不純物領域146bは必ずしも設ける必要はなかった。しかし設ける場合は駆動電圧を考慮してLoffの値を0.5~3μmの範囲で設定すれば良かった。耐圧を考慮すればゲート電極とオーバーラップしない第2の不純物領域146bの値は、駆動電圧が高くなるにしたがって大きくすることが望ましかった。

【0071】また、サンプリング回路や、画素部に設けるTFTはオフ電流の増加を防ぐため、例えば、チャネル長が3μmの場合、ゲート電極とオーバーラップする第2の不純物領域146aを1.5μmとし、ゲート電極とオーバーラップしない第2の不純物領域146bを1.5μmとすれば良かった。勿論、本発明はここで示す設計値に限定されるものでなく、適宜決定すれば良いものである。

【0072】一方、pチャネル型TFTには、チャネル形成領域、ソース領域、ドレイン領域だけを形成すれば良かった。勿論、本発明のnチャネル型TFTと同様の構造としても良いが、pチャネル型TFTはもともと信頼性が高いため、オン電流を稼いでnチャネル型TFTとの特性バランスをとった方が好ましい。本願発明を図1に示すようにCMOS回路に適用する場合には、特にこの特性のバランスをとることが重要である。但し、本発明の構造をpチャネル型TFTに適用しても何ら問題はない。

【0073】[実施形態3]まず、実施形態1と同じ工程に従い図1(E)に示す状態を得た。そして図3(A)に示すように、レジストマスク128、129、130を完全に除去した後、レジストマスク301、302、303を形成した。レジストマスク302はnチャネル型TFTのゲート電極と第2の不純物領域の一部を覆う形で形成され、LDDを形成するためのものであるが、ここではnチャネル型TFTのドレイン側のみ形成されるようにした。ゲート電極とオーバーラップしないLDDはオフ電流の増加を防ぐが、それはドレイン側だけに設けるだけでも十分効果を得ることができた。(図3(A))

【0074】以降の工程は実施形態1と同様に行うことで、図3(B)に示すCMOS回路が形成された。そして、nチャネル型TFTにはチャネル形成領域145、第1の不純物領域148、149、第2の不純物領域147が形成された。ここで、第2の不純物領域は、ゲート電極と重なる領域(GOLD領域)147aと、ゲート電極と重ならない領域(LDD領域)147bが形成された。そして、第1の不純物領域148はソース領域として、第1の不純物領域149はドレイン領域と

なった。

【0075】[実施形態4]本実施形態を図4を用いて説明する。最初に実施形態1と同じ工程に従い、図1

(C)に示す状態を得た。

【0076】そして、フォトマスクを使用して、レジストマスク401、402、403、404を形成し、ドライエッチング法により第1の導電層107と第2の導電層108の一部を除去した。その後、レジストマスクをそのまま使用して、n型を付与するドーピング工程を行い、半導体層104、105にリンが添加された領域430、431、432、433を形成した。

【0077】ここでレジストマスクをアッシングおよびアルカリ性の剥離液を使用して完全に除去した。そして再度フォトリソ膜を形成し、裏面からの露光によるパターンニングの工程を行った。このとき、ゲート電極、ゲート配線、およびゲートバスラインのパターンがフォトマスクと同じ役割を果し、レジストマスク413、414、415、416がそれぞれのパターン上に形成された。裏面からの露光は直接光と散乱光を利用して行うもので、光強度や露光時間などの露光条件の調節により、図4(B)に示すようにレジストマスクをゲート電極上の内側に形成することができた。

【0078】そして、ドライエッチング法によりゲート電極、ゲート配線、およびゲートバスラインの一部を除去することにより、ゲート電極419、420、421、422、ゲート配線423、424、ゲートバスライン425、426、427を形成した。

【0079】そして、レジストマスク417、418を形成し、ゲート電極419、420をマスクとしてp型を付与するドーピング工程を行った。

【0080】以降の工程は実施形態1と同様にして行うことで、図2(B)に示すCMOS回路が形成された。そして、nチャネル型TFTにはチャネル形成領域145、第1の不純物領域148、149と第2の不純物領域146、147が形成された。ここで、第2の不純物領域は、ゲート電極とオーバーラップする領域(GOLD領域)146a、147aと、ゲート電極とオーバーラップしない領域(LDD領域)146b、147bとが形成された。そして、第1の不純物領域148はソース領域として、第1の不純物領域149はドレイン領域として機能した。

【0081】[実施形態5]本発明の他の実施形態を図5と図6により説明する。ここでは、nチャネル型TFTとpチャネル型TFTを同一基板上に作製し、CMOS回路の基本構成であるインバータ回路を形成する実施形態について説明する。

【0082】最初に、実施形態1と同様に基板501上に下地膜502、503を形成し、さらに結晶質半導体から成る島状半導体層504、505を形成した。さらにゲート絶縁膜506、第1の導電層507、第3の導

電層508を形成し、図5(A)の状態を得た。

【0083】次に第2のフォトマスクを使用してレジストマスクを形成し、第3の導電層の不要な部分を除去して、ゲートバスラインの一部を形成した(図5(B)の510)。第3の導電層がA1である場合、リン酸溶液によるウエットエッチング法により、下地にある第1の導電層と選択性良く除去することができた。

【0084】そして、第3のフォトマスクにより、半導体層504と、半導体層505のチャネル形成領域を覆うレジストマスク511、512を形成した。このとき、配線を形成する領域にもレジストマスク513を形成しておいても良い。

【0085】そして、フォスフィン(PH₃)を用いたイオンドーピング法でn型を付与するドーピング工程を行った。この工程では、ゲート絶縁膜506と第1の導電膜507を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定した。半導体層に添加されるリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19}$ atoms/cm³の範囲にするのが好ましく、ここでは 1×10^{18} atoms/cm³とした。そして、半導体層にリンが添加された領域514、515、516、517が形成された。ここで形成されたリンが添加された領域の一部は、LDD領域として機能する第2の不純物領域とされるものである。(図5(C))

【0086】そして、第4のフォトマスクによりレジストマスク518、519、520、をそのまま残して、pチャネル型TFTが形成される半導体層504の一部に、p型を付与するドーピング工程を行った。p型を付与する不純物元素としては、ボロン(B)、アルミニウム(A1)、ガリウム(Ga)が知られているが、ここではボロンをその不純物元素として、ジボラン(B₂H₆)を用いてイオンドーピング法で添加した。ここでも加速電圧を80keVとして、 2×10^{20} atoms/cm³の濃度にボロンを添加した。そして、図5(D)に示すようにボロンが高濃度に添加された第3の不純物領域521、522を形成した。

【0087】その後、レジストマスク518、519、520を除去して、第2の導電層523を全面に形成した。第2の導電層523は第1の導電層507と同じ材料で形成しても良く、Ta、Ti、Mo、Wから選ばれた元素を主成分とする導電性材料を用いる。そして、第2の導電層523の厚さは100~1000nm、好ましくは200~500nmで形成しておけば良い。(図5(E))

【0088】次に、第5のフォトマスクによりレジストマスク524、525、526、527を形成した。第1の導電層と第2の導電層をドライエッチング法により不要な部分を除去した。そして、ゲート電極528、529、530、531と、ゲート配線532、533と、ゲートバスライン534、535を形成した。

【0089】ゲートバスラインは、第3の導電層510が第1の導電層534と第2の導電層535とで覆われたクラッド型の構造として形成した。第3の導電層はAlやCuを主成分とした低抵抗材料であり、配線抵抗を下げる事ができた。

【0090】そして、第6のフォトマスクによりレジストマスク536、537、538を形成した。レジストマスク537はnチャネル型TFTのゲート電極530、531と、第2の不純物領域の一部を覆う形で形成されるものであった。レジストマスク537は、LDD領域のオフセット量を決めるものであった。

【0091】そして、n型を付与するドーピング工程を行った。そして、ソース領域となる第1の不純物領域540とドレイン領域となる第1の不純物領域541が形成された。ここでは、フォスフィン(PH₃)を用いたイオンドーピング法で行った。この工程でも、ゲート絶縁膜506を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定した。この領域のリンの濃度はn型を付与するドーピング工程と比較して高濃度であり、 $1 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm³とするのが好ましく、ここでは 1×10^{20} atoms/cm³とした。(図6(A))

【0092】そして、ゲート絶縁膜506、ゲート電極528、529、530、531、ゲート配線532、533、ゲートバスライン534、535の表面に第1の層間絶縁膜541、542を形成した。第1の層間絶縁膜541は窒化シリコン膜であり、50nmの厚さで形成された。また第1の層間絶縁膜542は酸化シリコン膜であり、950nmの厚さに形成された。

【0093】熱処理の工程は、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために行う必要があった。この工程は、電気加熱炉を用いた熱アニール法や、前述のエキシマレーザーを用いたレーザーアニール法や、ハロゲンランプを用いたラビットサーマルアニール法(RTA法)で行えば良い。しかし、レーザーアニール法は低い基板加熱温度で活性をすることができるが、ゲート電極の下にかくれる領域まで活性化させることは困難であった。従って、ここでは熱アニール法で活性化の工程を行った。加熱処理は、窒素雰囲気中において300~700℃、好ましくは350~550℃、ここでは450℃、2時間の処理を行った。

【0094】第1の層間絶縁膜541、542はその後、所定のレジストマスクを形成した後、エッチング処理によりそれぞれのTFTのソース領域と、ドレイン領域に達するコンタクトホールが形成された。そして、ソース電極543、544とドレイン電極545を形成した。図示していないが、本実施形態ではこの電極を、Ti膜を100nm、Tiを含むAl膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造

の電極として用いた。

【0095】以上の工程で、CMOS回路のnチャネル型TFTにはチャネル形成領域549、第1の不純物領域552、553、第2の不純物領域550、551が形成された。ここで、第2の不純物領域は、ゲート電極と重なる領域(GOLD領域)550a、551aと、ゲート電極と重ならない領域(LDD領域)550b、551bがそれぞれ形成された。そして、第1の不純物領域552はソース領域として、第1の不純物領域553はドレイン領域となった。

【0096】一方、pチャネル型TFTは、チャネル形成領域546、第3の不純物領域547、548が形成された。そして、第3の不純物領域547はソース領域として、第3の不純物領域548はドレイン領域となった。(図5(B))

【0097】また、図5(C)はインバータ回路の上面図を示し、TFT部分のA-A'断面構造、ゲート配線部分のB-B'断面構造、ゲートバスライン部分のC-C'断面構造は図5(B)と対応している。本発明において、ゲート電極とゲート配線は、第1の導電層と第2の導電層とから形成され、ゲートバスラインは、第1の導電層と第2の導電層と第3の導電層とから形成されたクラッド構造を有している。

【0098】図5と図6では、nチャネル型TFTとpチャネル型TFTとを相補的組み合わせで成るCMOS回路を例にして示したが、nチャネル型TFTを用いたNMOS回路や、液晶表示装置の画素部の画素TFTに本願発明を適用することもできる。

【0099】[実施形態6]本発明の他の実施形態を図7と図8により説明する。ここでは、nチャネル型TFTとpチャネル型TFTを同一基板上に作製し、CMOS回路の基本構成であるインバータ回路を形成する実施形態について説明する。

【0100】最初に、実施形態5と同様に基板701上に下地膜702、703を形成し、さらに結晶質半導体から成る島状半導体層704、705を形成した。さらにゲート絶縁膜706、第1の導電層707、第3の導電層708を形成し、図7(A)の状態を得た。

【0101】次にレジストマスクを形成し、第3の導電層の不要な部分を除去して、ゲートバスラインの一部を形成した(図7(B)の710)。第3の導電層がAlである場合、リン酸溶液によるウェットエッチング法により、下地にある第1の導電層と選択性良く除去することができた。

【0102】そして、半導体層704と、半導体層705のチャネル形成領域を覆うレジストマスク711、712を形成した。このとき、配線を形成する領域にもレジストマスク713を形成しておいても良い。

【0103】そして、フォスフィン(PH₃)を用いたイオンドーピング法でn型を付与するドーピング工程を行っ

た。この工程では、ゲート絶縁膜 706 と第 1 の導電膜 707 を通してその下の半導体層にリンを添加するために、加速電圧は 80 keV と高めに設定した。半導体層に添加されるリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19}$ atoms/cm³ の範囲にするのが好ましく、ここでは 1×10^{18} atoms/cm³ とした。そして、半導体層にリンが添加された領域 714、715、716、717 が形成された。ここで形成されたリンが添加された領域の一部は、LDD 領域として機能する第 2 の不純物領域とされるものである。(図 7 (C))

【0104】そして、レジストマスク 718、719、720 を形成して、p 型を付与するドーピング工程に先立って第 1 の導電層が露出している部分をエッチング法により除去した。そして、p 型を付与するドーピング工程を行った。ここでは、第 1 の導電層が除去されているので、イオンドープ法において加速電圧を低下させることができた。ボロンをその不純物元素として、ジボラン (B₂H₆) を用いてイオンドープ法で添加した。ここでも加速電圧を 40 keV として、 2×10^{20} atoms/cm³ の濃度にボロンを添加した。そして、図 7 (D) に示すようにボロンが高濃度に添加された第 3 の不純物領域 724、725 を形成した。

【0105】以降の工程は実施形態 5 に従えば良く、図 8 (A) で示すようにレジストマスク 739、740、741 を形成し、n 型を付与するドーピング工程により第 1 の不純物領域 742、743 を形成した。そして、CMOS 回路の n チャネル型 TFT にはチャネル形成領域 752、第 1 の不純物領域 755、756、第 2 の不純物領域 753、754 が形成された。ここで、第 2 の不純物領域は、ゲート電極とオーバーラップする領域 (GOLD 領域) 753a、754a と、ゲート電極とオーバーラップしない領域 (LDD 領域) 753b、754b がそれぞれ形成された。そして、第 1 の不純物領域 755 はソース領域として、第 1 の不純物領域 756 はドレイン領域となった。

【0106】一方、p チャネル型 TFT は、チャネル形成領域 749、第 3 の不純物領域 750、751 が形成された。そして、第 3 の不純物領域 750 はソース領域として、第 3 の不純物領域 751 はドレイン領域となった。(図 8 (B))

【0107】また、図 8 (C) はインバータ回路の上面図を示し、TFT 部分の A-A' 断面構造、ゲート配線部分の B-B' 断面構造、ゲートバスライン部分の C-C' 断面構造は、図 8 (B) と対応している。本発明において、ゲート電極とゲート配線は、第 1 の導電層と第 2 の導電層とから形成され、ゲートバスラインは、第 1 の導電層と第 2 の導電層と第 3 の導電層とから形成されたクラッド構造を有している。

【0108】図 7 と図 8 では、n チャネル型 TFT と p

回路を例にして示したが、n チャネル型 TFT を用いた NMOS 回路や、液晶表示装置の画素部の画素 TFT に本願発明を適用することもできる。

【0109】

【実施例 1】【実施例 1】本実施例では、本願発明の構成を図 9～図 11 を用い、画素部とその周辺に設けられる駆動回路の基本形態である CMOS 回路を同時に作製する方法について説明する。

【0110】図 9 において、基板 901 には、例えばコーニング社の 1737 ガラス基板に代表される無アルカリガラス基板を用いた。そして、基板 901 の TFT が形成される表面に、下地膜 902 をプラズマ CVD 法やスパッタ法で形成した。下地膜 902 は図示していないが、窒化シリコン膜を 25～100 nm、ここでは 50 nm の厚さに、酸化シリコン膜を 50～300 nm、ここでは 150 nm の厚さに形成した。また、下地膜 902 は、窒化シリコン膜や窒化酸化シリコン膜のみを用いても良い。

【0111】下地膜 902 は上記材料の他に、プラズマ CVD 法で SiH₄、NH₃、N₂O から作製される第 1 の酸化窒化シリコン膜を 10～100 nm の厚さに形成し、その上に SiH₄、N₂O から作製される第 2 の酸化窒化シリコン膜を 100～200 nm の厚さに積層形成した 2 層構造としても良い。

【0112】第 1 の酸化窒化シリコン膜は平行平板型のプラズマ CVD 法を用いて形成する。第 1 の酸化窒化シリコン膜は、SiH₄ を 10 SCCM、NH₃ を 100 SCCM、N₂O を 20 SCCM として反応室に導入し、基板温度 325℃、反応圧力 40 Pa、放電電力密度 0.41 W/cm²、放電周波数 60 MHz とした。一方、第 2 の酸化窒化シリコン膜は、SiH₄ を 4 SCCM、N₂O を 400 SCCM、として反応室に導入し、基板温度 400℃、反応圧力 40 Pa、放電電力密度 0.41 W/cm²、放電周波数 60 MHz とした。これらの膜は、基板温度を変化させ、反応ガスの切り替えのみで連続して形成することもできる。また、第 1 の酸化窒化シリコン膜は基板を中心に考えて、その内部応力が引張り応力となるように形成する。第 2 の酸化窒化シリコン膜も同様な方向に内部応力を持たせるが、第 1 の酸化窒化シリコン膜よりも絶対値で比較して小さい応力となるようにすると良い。

【0113】次に、この下地膜 902 の上に 50 nm の厚さの、非晶質シリコン膜をプラズマ CVD 法で形成した。非晶質シリコン膜は含有水素量にもよるが、好ましくは 400～550℃で数時間加熱して脱水素処理を行い、含有水素量を 5 atomic% 以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。

【0114】ここで、下地膜と非晶質シリコン膜とはい

ずれもプラズマCVD法で作製されるものであり、このとき下地膜と非晶質シリコン膜を真空中で連続して形成しても良い。下地膜を形成後、一旦大気雰囲気さらされない工程にすることにより、表面の汚染を防ぐことが可能となり、作製されるTFTの特性バラツキを低減させることができた。

【0115】非晶質シリコン膜を結晶化する工程は、公知のレーザーアニール法または熱アニール法を用いれば良い。本実施例ではレーザーアニール法を用い、パルス発振型のKrFエキシマレーザー光を線状に集光して非晶質シリコン膜に照射して結晶質シリコン膜を形成した。

【0116】尚、本実施例では半導体層を非晶質シリコン膜から結晶質シリコン膜を形成したが、微結晶シリコン膜を用いても構わないし、直接結晶質シリコン膜を成膜しても良い。

【0117】こうして形成された結晶質シリコン膜を第1のフォトマスクを使用してパターンニングし、島状の半導体層903、904、905を形成した。

【0118】次に、島状の半導体層903、904、905を覆って、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜906を形成した。ゲート絶縁膜906は、プラズマCVD法で N_2O と SiH_4 を原料とした窒化酸化シリコン膜を10~200nm、好ましくは50~150nmの厚さで形成すれば良い。ここでは100nmの厚さに形成した。

【0119】そして、ゲート絶縁膜906の表面に第1の導電膜907と、第3の導電膜908とを形成した。第1の導電膜907はTa、Ti、Mo、Wから選ばれた一種の元素、またはこれらの元素を主成分とする半導体膜で形成すれば良い。また、第1の導電膜907の厚さは5~50nm、好ましくは10~30nmとする必要がある。ここでは、20nmの厚さでTa膜を形成した。

【0120】Ta膜を用いる場合にはスパッタ法で形成することが可能である。Ta膜はスパッタガスにArを用いる。また、これらのスパッタガス中に適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。α相のTa膜の抵抗率は $20\mu\Omega\text{cm}$ 程度でありゲート電極に使用することができるが、β相のTa膜の抵抗率は $180\mu\Omega\text{cm}$ 程度でありゲート電極とするには不向きである。しかし、TaN膜はα相に近い結晶構造を持つので、この上にTa膜を形成すればα相のTa膜が容易に得られる。従って、図示しないが第1の導電膜の下に10~50nmの厚さでTaN膜を形成しておいても良い。同様に図示しないが、第1の導電膜の下に2~20nm程度の厚さでリン(P)をドーブしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、第1の導電膜また

は第2の導電膜が微量に含有するアルカリ金属元素がゲート絶縁膜906に拡散するのを防ぐことができる。いずれにしても、第1の導電膜は抵抗率を $10\sim50\mu\Omega\text{cm}$ の範囲ですることが好ましい。

【0121】その他に、W膜を用いることも可能であり、その場合はWをターゲットとしたスパッタ法で、アルゴン(Ar)ガスと窒素(N_2)ガスを導入してW膜を200nmの厚さに形成する。また、W膜を6フッ化タングステン(WF_6)を用いて熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は $20\mu\Omega\text{cm}$ 以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率 $9\sim20\mu\Omega\text{cm}$ を実現することができる。

【0122】第3の導電層908はAlまたはCuを主成分とする導電性材料を用いる。例えば、Alを用いる場合には、Ti、Si、Scから選ばれた元素が0.1~5atomic%添加されたAl合金を用いても良い。第3の導電層は100~1000nm、好ましくは200~400nmで形成すれば良い。これは、ゲート配線またはゲートバスラインの配線抵抗を下げるための配線材料として形成されるものである。

【0123】また、同様に第3の導電層は基板901の端部に設けられる入力端子から各回路に接続する配線を形成する上で役立ち、配線抵抗を低減させることができる。

【0124】第1の導電膜として使用する半導体膜にはn型あるいはp型の導電型を付与する不純物元素が添加されていても良い。この半導体膜の作製法は公知の方法に従えば良く、例えば、減圧CVD法で基板温度を450~500℃として、ジシラン(Si_2H_6)を250SCCM、ヘリウム(He)を300SCCM導入して作製することができる。このとき同時に、 Si_2H_6 に対して PH_3 を0.1~2%混入させてn型の半導体膜を形成しても良い。(図9(A))

【0125】また、島状の半導体層には、あらかじめ $1\times10^{16}\sim5\times10^{18}\text{atoms/cm}^3$ の濃度でボロン(B)を添加しても良い。このボロン(B)はしきい値電圧を制御するために添加するものであり、同様の効果が得られるのであれば他の元素で代用することもできる。

【0126】次に、第2のフォトマスクを使用してレジストマスクを形成し、第3の導電層の不要な部分を除去して、ゲートバスラインやその他の配線の一部を形成した(図9(B)の909、910)。第3の導電層がAlである場合、リン酸溶液によるウェットエッチング法

により、下地にある第1の導電層と選択性良く除去することができた。

【0127】そして、第3のフォトマスクにより、半導体層903と、半導体層904、905のチャネル形成領域を覆うレジストマスク911、912、915、916を形成した。このとき、配線を形成する領域にもレジストマスク913、914を形成しておいても良い。

【0128】そして、n型を付与するドーピング工程を行った。結晶質半導体材料に対してn型を付与する不純物元素としては、リン(P)、砒素(As)、アンチモン(Sb)などが知られているが、ここでは、リンを用い、フォスフィン(PH₃)を用いたイオンドーピング法で行った。この工程では、ゲート絶縁膜906と第1の導電膜907を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定した。半導体層に添加されるリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19}$ atoms/cm³の範囲にするのが好ましく、ここでは 1×10^{18} atoms/cm³とした。そして、半導体層にリン(P)が添加された領域917、918、919、920、921が形成された。ここで形成されたリンが添加された領域の一部は、LDD領域として機能する第2の不純物領域とされるものである。(図9(B))

【0129】その後、レジストマスクを除去して、第2の導電層922を前面に形成した。第2の導電層922は第1の導電層907と同じ材料で形成されても良く、Ta、Ti、Mo、Wから選ばれた元素を主成分とする導電性材料を用いる。そして、第2の導電層922の厚さは100~1000nm、好ましくは200~500nmで形成しておけば良い。(図9(C))

【0130】次に、第4のフォトマスクによりレジストマスク923、924、925、926、927、928を形成した。第4のフォトマスクは、pチャネル型TFTのゲート電極と、CMOS回路および画素TFTのゲート配線、ゲートバスラインやその他の配線を形成するためのものである。nチャネル型TFTのゲート電極は後の工程で形成するため、第1の導電層931、942と第2の導電層932、941が半導体層上で残るようにレジストマスク924、928を形成した。

【0131】第1の導電層と第2の導電層はドライエッチング法により不要な部分を除去した。そして、ゲート電極929、930と、ゲート配線933、934と、ゲートバスライン935、937、938、940を形成した。

【0132】ゲートバスラインは、第3の導電層936、939が第1の導電層935、938と第2の導電層937、940とで覆われたクラッド型の構造として形成された。第3の導電層はAlやCuを主成分とした低抵抗材料であり、配線抵抗を下げることができた。

【0133】そして、レジストマスク923、924、925、926、927、928をそのまま残して、p

チャネル型TFTが形成される半導体層903の一部にp型を付与するドーピング工程を行った。p型を付与する不純物元素としては、ボロン(B)、アルミニウム(Al)、ガリウム(Ga)、が知られているが、ここではボロンをその不純物元素として、ジボラン(B₂H₆)を用いてイオンドーピング法で添加した。ここでも加速電圧を80keVとして、 2×10^{20} atoms/cm³の濃度にボロンを添加した。そして、図10(A)に示すようにボロンが高濃度に添加された第3の不純物領域943、944が形成された。

【0134】図10(A)で設けられたレジストマスクを除去した後、新たに第5のフォトマスクによりレジストマスク945、946、947、948、949、950、951を形成した。第5のフォトマスクはnチャネル型TFTのゲート電極を形成するためのものであり、ドライエッチング法によりゲート電極952、953、954、955、956、957が形成された。このときゲート電極952、953、954、955、956、957は第2の不純物領域917、918、919、920、921の一部と重なるように形成された。(図10(B))

【0135】そして、レジストマスクを完全に除去した後、新たなレジストマスク960、961、962、963、964、965を形成した。レジストマスク961、964、965はnチャネル型TFTのゲート電極952、953、954、955、956、957と、第2の不純物領域の一部を覆う形で形成されるものであった。レジストマスク961、964、965は、LDD領域のオフセット量を定めるものである。

【0136】そして、第6のフォトマスクを用いレジストマスク960、961、962、963、964、965を形成し、n型を付与するドーピング工程を行った。そして、ソース領域となる第1の不純物領域967、968とドレイン領域となる第1の不純物領域966、969、970を形成した。ここでは、フォスフィン(PH₃)を用いたイオンドーピング法で行った。この工程でも、ゲート絶縁膜906を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定した。この領域のリンの濃度はn型を付与するドーピング工程と比較して高濃度であり、 $1 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm³とするのが好ましく、ここでは 1×10^{20} atoms/cm³とした。(図10(C))

【0137】図10(C)までの工程が終了したら、第1の層間絶縁膜971、972を形成する工程を行った。最初に窒化シリコン膜971を50nmの厚さに成膜した。窒化シリコン膜971はプラズマCVD法で形成され、SiH₄を5SCCM、NH₃を40SCCM、N₂を100SCCM導入して0.7Torr、300Wの高周波電力を投入した。そして、続いて第1の層間絶縁膜972として酸化シリコン膜をTEOS(Tetrae

thyl Orthosilicate) を 500 SCCM、 O_2 を 50 SCCM 導入し 1 Torr、2.0 W の高周波電力を投入して 950 nm の厚さに成膜した。

【0138】そして、熱処理の工程を行った。熱処理の工程は、それぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化するために行う必要があった。この工程は、電気加熱炉を用いた熱アニール法や、前述のエキシマレーザーを用いたレーザーアニール法や、ハロゲンランプを用いたラビットサーマルアニール法 (RTA 法) で行えば良い。ここでは熱アニール法で 10 活性化の工程を行った。加熱処理は、窒素雰囲気中において 300~700℃、好ましくは 350~550℃、ここでは 450℃、2 時間の処理を行った。

【0139】第 1 の層間絶縁膜 971、972 はその後、パターンングでそれぞれの TFT のソース領域と、ドレイン領域に達するコンタクトホールを形成した。そして、ソース電極 973、974、975 とドレイン電極 976、977 を形成した。図示していないが、本実施例ではこの電極を、Ti 膜を 100 nm、Ti を含む Al 膜 300 nm、Ti 膜 150 nm をスパッタ法で連続して形成した 3 層構造の電極として用いた。

【0140】以上の工程で、CMOS 回路の n チャネル型 TFT にはチャネル形成領域 981、第 1 の不純物領域 984、985、第 2 の不純物領域 982、983 が形成された。ここで、第 2 の不純物領域は、ゲート電極とオーバーラップする領域 (GOLD 領域) 982a、983a、ゲート電極とオーバーラップしない領域 (LDD 領域) 982b、983b がそれぞれ形成された。そして、第 1 の不純物領域 984 はソース領域として、第 1 の不純物領域 985 はドレイン領域となった。

【0141】p チャネル型 TFT は、同様にクラッド構造のゲート電極が形成され、チャネル形成領域 978、第 3 の不純物領域 979、980 が形成された。そして、第 3 の不純物領域 979 はソース領域として、第 3 の不純物領域 980 はドレイン領域となった。

【0142】また、画素 TFT はマルチゲートであり、チャネル形成領域 986、991 と第 1 の不純物領域 989、990、994 と第 2 の不純物領域 987、988、992、993 が形成された。ここで第 2 の不純物領域は、ゲート電極とオーバーラップする領域 987a、988a、992a、993a とゲート電極とオーバーラップしない領域 987b、988b、992b、993b とが形成された。

【0143】こうして図 11 に示すように、基板 901 上に CMOS 回路と、画素部が形成されたアクティブマトリクス基板が作製された。また、画素 TFT のドレイン側には保持容量部が同時に形成された。

【0144】[実施例 2] 本実施例を図 12 を用いて説明する。図 12 において遮光膜 996 は、画素 TFT の半導体層が形成される領域に合わせて形成され、下地膜 9

97 を形成する前に設けられた。遮光膜 996 は、Ti、Ta、Cr、W などの金属膜で形成すれば良い。また、タングステンシリサイド (WSi) で形成しても良い。さらに好ましくは、WSi 膜と Si 膜の 2 層構造としても良い。遮光膜 996 は 100~400 nm、代表的には 200 nm の厚さで形成すれば良い。

【0145】遮光膜 996 上に形成する TFT の工程は実施例 1 に従えば良い。そして、図 12 に示すアクティブマトリクス基板が形成される。このようなアクティブマトリクス基板は、プロジェクション用の液晶表示装置に使用すると好ましい。遮光膜が散乱光を遮り、画素 TFT のオフ電流の増加を効果的に防ぐことができた。

【0146】[実施例 3] 本実施例では、実施例 1 において半導体層として用いる結晶質半導体膜を、触媒元素を用いた熱アニール法により形成する例を示す。触媒元素を用いる場合、特開平 7-130652 号公報、特開平 8-78329 号公報で開示された技術を用いることが望ましい。

【0147】ここで、特開平 7-130652 号公報に開示されている技術を本願発明に適用する場合の例を図 18 に示す。まず基板 1801 に酸化シリコン膜 1802 を設け、その上に非晶質シリコン膜 1803 を形成した。さらに、重量換算で 10 ppm のニッケルを含む酢酸ニッケル塩溶液を塗布してニッケル含有層 1804 を形成した。(図 18 (A))

【0148】次に、500℃、1 時間の脱水素工程の後、500~650℃で 4~12 時間、例えば 550℃、8 時間の熱処理を行い、結晶質シリコン膜 1805 を形成した。こうして得られた結晶質シリコン膜 1805 は非常に優れた結晶質を有した。(図 18 (B))

【0149】また、特開平 8-78329 号公報で開示された技術は、触媒元素を選択的に添加することによって、非晶質半導体膜の選択的な結晶化を可能としたものである。同技術を本願発明に適用した場合について、図 19 で説明する。

【0150】まず、ガラス基板 1901 に酸化シリコン膜 1902 を設け、その上に非晶質シリコン膜 1903、酸化シリコン膜 1904 を連続的に形成した。この時、酸化シリコン膜 1904 の厚さは 150 nm とした。

【0151】次に酸化シリコン膜 1904 をパターンングして、選択的に開孔部 1905 を形成し、その後、重量換算で 10 ppm のニッケルを含む酢酸ニッケル塩溶液を塗布した。これにより、ニッケル含有層 1906 が形成され、ニッケル含有層 1906 は開孔部 1905 の底部のみで非晶質シリコン膜 1902 と接触した。(図 19 (A))

【0152】次に、500~650℃で 4~24 時間、例えば 570℃、14 時間の熱処理を行い、結晶質シリコン膜 1907 を形成した。この結晶化の過程では、ニ

ッケルが接した非晶質シリコン膜の部分が最初に結晶化し、そこから横方向へと結晶化が進行する。こうして形成された結晶質シリコン膜1907は棒状または針状の結晶が集合して成り、その各々の結晶は巨視的に見ればある特定の方向性をもって成長しているため、結晶性が揃っているという利点がある。(図19(B))

【0153】尚、上記2つの技術において使用可能な触媒元素は、ニッケル(Ni)の以外にも、ゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、スズ(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)、といった元素を用いても良い。

【0154】以上のような技術を用いて結晶質半導体膜(結晶質シリコン膜や結晶質シリコンゲルマニウム膜などを含む)を形成し、パターニングを行えば、結晶質TFETの半導体層を形成することができる。本実施例の技術を用いて、結晶質半導体膜から作製されたTFETは、優れた特性が得られるが、そのため高い信頼性を要求されてあいた。しかしながら、本願発明のTFET構造を採用することで、本実施例の技術を最大限に生かしたTFETを作製することが可能となった。

【0155】[実施例4] 本実施例は、実施例1で用いられる半導体層を形成する方法として、非晶質半導体膜を初期膜として前記触媒元素を用いて結晶質半導体膜を形成した後で、その触媒元素を結晶質半導体膜から除去する工程を行った例を示す。本実施例ではその方法として、特開平10-247735、特開平10-135468号公報または特開平10-135469号公報に記載された技術を用いた。

【0156】同公報に記載された技術は、非晶質半導体膜の結晶化に用いた触媒元素を結晶化後にリンのゲッターリング作用を用いて除去する技術である。同技術を用いることで、結晶質半導体膜中の触媒元素の濃度を 1×10^{17} atoms/cm³以下、好ましくは 1×10^{16} atoms/cm³にまで低減することができる。

【0157】本実施例の構成について図20を用いて説明する。ここではコーニング社の1737基板に代表される無アルカリガラス基板を用いた。図20(A)では、実施例3で示した結晶化の技術を用いて、下地2002、結晶質シリコン膜2003が形成された状態を示している。そして、結晶質シリコン膜2003の表面にマスク用の酸化シリコン膜2004が150nmの厚さに形成され、パターニングにより開孔部が設けられ、結晶質シリコン膜を露出させた領域を設けてある。そして、リンを添加する工程を実施して、結晶質シリコン膜にリンが添加された領域2005が設けられた。

【0158】この状態で、窒素雰囲気中で550~800℃、5~24時間、例えば600℃、12時間の熱処理を行うと、結晶質シリコン膜にリンが添加された領域2005がゲッターリングサイトとして働き、結晶質シリ

コン膜2003に残存していた触媒元素はリンが添加された領域2005に偏析させることができた。

【0159】そして、マスク用の酸化シリコン膜2004と、リンが添加された領域2005とをエッチングして除去することにより、結晶化の工程で使用した触媒元素の濃度を 1×10^{17} atoms/cm³以下にまで低減された結晶質シリコン膜を得ることができた。この結晶質シリコン膜はそのまま実施例1で示した本願発明のTFETの半導体層として使用することができた。

【0160】[実施例5] 本実施例では、実施例1で示した本願発明のTFETを作製する工程において、半導体層とゲート絶縁膜を形成する他の実施形態を示す。そして、本実施例の構成を図21で説明する。

【0161】ここでは、少なくとも700~1100℃程度の耐熱性を有する基板が必要であり、石英基板2101が用いられた。そして実施例3及び実施例4で示した技術を用い、結晶質半導体が形成され、これをTFETの半導体層にするために、島状にパターニングして半導体層2102、2103を形成した。そして、半導体層2102、2103を覆って、ゲート絶縁膜2104を酸化シリコンを主成分とする膜で形成した。本実施例では、プラズマCVD法で窒化酸化シリコン膜を70nmの厚さで形成した。(図21(A))

【0162】そして、ハロゲン(代表的には塩素)と酸素を含む雰囲気中で熱処理を行った。本実施例では、950℃、30分とした。尚、処理温度は700~1100℃の範囲で選択すれば良く、処理時間も10分から8時間の間で選択すれば良かった。(図21(B))

【0163】その結果、本実施例の条件では、半導体層2102、2103とゲート絶縁膜2104との界面で熱酸化膜が形成され、ゲート絶縁膜2107が形成された。また、ハロゲン雰囲気での酸化の過程で、ゲート絶縁膜2104と半導体層2102、2103に含まれる不純物で、特に金属不純物元素はハロゲンと化合物を形成し、気相中に除去することができた。

【0164】以上の工程で作製されたゲート絶縁膜2107は、絶縁耐圧が高く半導体層2105、2106とゲート絶縁膜2107の界面は非常に良好なものであった。本願発明のTFETの構成を得るためには、以降の工程は実施例1に従えば良かった。

【0165】[実施例6] 本実施例では、実施例3で示した方法で結晶質半導体膜を形成し、実施例1で示す工程でアクティブマトリクス基板を作製方法において、結晶化の工程で使用した触媒元素をゲッターリングにより除去する例を示す。まず、実施例1において、図9(A)で示される半導体層903、904、905は、触媒元素を用いて作製された結晶質シリコン膜であった。このとき、結晶化の工程で用いられた触媒元素が半導体層中に残存するので、ゲッターリングの工程を実施することが望ましかった。

【0166】ここでは、図10(B)に示す工程までそのまま実施した。そして、レジストマスク945、946、947、948、949、950、951を除去した。

【0167】そして、図22に示すように、新たなレジストマスク2201、961、962、963、964、965を形成した。そして、n型を付与するドーピング工程を行った。そして、半導体層にリンが添加された領域2202、2203、966、967、968、969、970が形成された。

【0168】ここで、リンが添加された領域2202、2203にはすでにp型を付与する不純物元素であるボロンが添加されているが、このときリン濃度は $1 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm³であり、ボロンに対して1/2程度の濃度で添加されるので、pチャネル型TFTの特性には何ら影響を及ぼさなかった。

【0169】この状態で、窒素雰囲気中で400～800℃、1～24時間、例えば600℃、12時間の加熱処理の工程を行った。この工程により、添加されたn型及びp型を付与する不純物元素を活性化することができた。さらに、前記リンが添加されている領域がゲッタリングサイトとなり、結晶化の工程の後残存していた触媒元素を偏析させることができた。その結果、チャネル形成領域から触媒元素を除去することができた。(図22(B))

【0170】図22(B)の工程が終了したら、以降の工程は実施例1の工程に従い、図11の状態を形成することにより、アクティブマトリクス基板を作製することができた。

【0171】[実施例7] 本実施例では、実施例1～6に記載の技術で作製されたアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を図13で説明する。

【0172】図11の状態のアクティブマトリクス基板に対して、パッシベーション膜1301を形成した。パッシベーション膜1301は、窒化シリコン膜で50nmの厚さで形成した。さらに、有機樹脂からなる第2の層間絶縁膜1302を約1000nmの厚さに形成した。有機樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜を用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。

【0173】さらに第3の層間絶縁膜を形成した。第3の層間絶縁膜1304は、ポリイミドなどの有機樹脂膜で形成した。そして、第3の層間絶縁膜1304と第2の層間絶縁膜1302、パッシベーション膜1301に

ドレイン電極977に達するコンタクトホールを形成し、画素電極1305を形成した。画素電極1305は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ(ITO)膜を100nmの厚さにスパッタ法で形成し、画素電極1305を形成した。

【0174】次に、図14に示すように、配向膜1401を第3の層間絶縁膜1304と画素電極1305形成する。通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。対向側の基板1402には、透明導電膜1403と、配向膜1404とを形成した。配向膜は形成された後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って平行配向するようにした。

【0175】上記の工程を経て、画素部と、CMOS回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ(共に図示せず)などを介して貼りあわせる。その後、両基板の間に液晶材料1405を注入し、封止剤(図示せず)によって完全に封止した。よって図14に示すアクティブマトリクス型液晶表示装置が完成した。

【0176】次に本実施例のアクティブマトリクス型液晶表示装置の構成を、図15と図16を用いて説明する。図15は本実施例のアクティブマトリクス基板の斜視図である。アクティブマトリクス基板は、ガラス基板901上に形成された、画素部1501と、走査(ゲート)線駆動回路1502と、データ(ソース)線駆動回路1503で構成される。画素TFT1500はnチャネル型TFTであり、周辺に設けられる駆動回路はCMOS回路を基本として構成されている。走査(ゲート)線駆動回路1502と、データ(ソース)線駆動回路1503はそれぞれゲート配線1603とソース配線1604で画素部1501に接続されている。

【0177】図16は画素部151の上面図であり、ほぼ1画素の上面図である。画素TFTはnチャネル型TFTである。ゲート配線1602に連続して形成されるゲート電極1603は、図示されていないゲート絶縁膜を介してその下の半導体層1601と交差している。図示はしていないが、半導体層には、ソース領域、ドレイン領域、第1の不純物領域が形成されている。また、画素TFTのドレイン側には、半導体層と、ゲート絶縁膜と、ゲート電極と同じ材料で形成された電極とから、保持容量1607が形成されている。また、図16で示すA-A'、およびB-B'に沿った断面構造は、図14に示す画素部の断面図に対応している。

【0178】本実施例では、画素TFT1500をダブルゲートの構造としているが、シングルゲートの構造でも良いし、トリプルゲートとしたマルチゲート構造にし

ても構わない。本実施例のアクティブマトリクス基板の構造は、本実施例の構造に限定されるものではない。本願発明の構造は、ゲート電極の構造と、ゲート絶縁膜を介して設けられた半導体層のソース領域と、ドレイン領域と、その他の不純物領域の構成に特徴があるので、それ以外の構成については実施者が適宜決定すれば良い。

【0179】〔実施例8〕本実施例では、アクティブマトリクス型液晶表示装置の画素部の他の構成例を図17で示す。

【0180】図17(A)は画素部の上面図であり、ほぼ1画素の上面図である。画素部には画素TFTが設けられている。また図17(A)のA-A'断面は、図17(B)に対応している。ゲート配線はクラッド型の構造で、第1の導電層1714、第2の導電層1716、第3の導電層1715から成っている。また、ゲート配線に接続されるゲート電極は第1の導電層1717、1719と第2の導電層1718、1720とから成っている。図17(A)には図示はしていないが、半導体層には、ソース領域、ドレイン領域、第1の不純物領域が形成されている。また、画素TFTのドレイン側には、半導体層と、ゲート絶縁膜と、ゲート電極と同じ材料で形成された電極とから、保持容量が形成されている。

【0181】〔実施例9〕図23は、実施例7で示したアクティブマトリクス型液晶表示装置の回路構成の一例を示す。本実施例のアクティブマトリクス型液晶表示装置は、ソース信号線側駆動回路2301、ゲート信号線側駆動回路(A)2307、ゲート信号線側駆動回路(B)2311、プリチャージ回路2312、画素部2306を有している。

【0182】ソース信号線側駆動回路2301は、シフトレジスタ回路2302、レベルシフト回路2303、バッファ回路2304、サンプリング回路2305を備えている。

【0183】また、ゲート信号線側駆動回路(A)2307は、シフトレジスタ回路2308、レベルシフト回路2309、バッファ回路2310を備えている。ゲート信号線側駆動回路(B)2311も同様な構成である。

【0184】ここで、それぞれの回路の駆動電圧の一例を示すと、シフトレジスタ回路2302、2308は10~16Vであり、レベルシフト回路2303、2309、バッファ回路2304、2310、サンプリング回路2305、画素部2306は14~16Vであった。サンプリング回路2305、画素部2306は印加される電圧の振幅であり、通常極性反転された電圧が交互に印加されていた。

【0185】本発明は、nチャネル型TFTの駆動電圧を考慮して、LDD領域となる第2の不純物領域の長さを同一基板上で異ならしめることが容易であり、それぞれの回路を構成するTFTに対して、最適な形状を同一

工程で作り込むことができた。

【0186】図24(A)はシフトレジスタ回路のTFTの構成例を示している。シフトレジスタ回路のnチャネル型TFTはシングルゲートであり、ドレイン側のみLDD領域となる第2の不純物領域が設けられている。ここで、ゲート電極とオーバーラップするLDD領域(GOLD領域)206aとオーバーラップしないLDD領域206bの長さは、例えば、図26に従えば良く、206aを2.0 μ m、206bを1.0 μ mとして形成することができる。

【0187】図24(B)はレベルシフト回路、バッファ回路のTFTの構成例を示している。これらの回路のnチャネル型TFTはダブルゲートとしてあり、ドレイン側にLDD領域となる第2の不純物領域が設けられている。例えば、ゲート電極とオーバーラップするLDD領域(GOLD領域)205a、205cの長さを2.5 μ mとし、オーバーラップしないLDD領域205b、205dの長さを2.5 μ mとすることができる。勿論、TFTのゲートはダブルゲートに限定されず、シングルゲートの構造としても良いし、複数のゲートを設けたマルチゲートの構造とすれば良い。レベルシフト回路、バッファ回路は高い電流駆動能力が要求されるため、キンク効果によりTFTが劣化しやすい。しかし、図24(B)に示すようなLDD領域を設けることにより、TFTの劣化を防ぐことができる。

【0188】図24(C)はサンプリング回路のTFTの構成例を示している。この回路のnチャネル型TFTはシングルゲートであるが、極性反転されるために、ソース側およびドレイン側の両方にLDD領域となる第2の不純物領域が設けられている。ゲート電極とオーバーラップするLDD領域(GOLD領域)205aと206a、及びオーバーラップしないLDD領域205bと206bの長さは、それぞれ等しくすることが好ましく、例えば、ゲート電極とオーバーラップするLDD領域(GOLD領域)205aと206aを1.5 μ m、オーバーラップしないLDD領域205bと206bの長さを1.0 μ mとすることができる。

【0189】図24(D)は画素部の構成例を示している。この回路のnチャネル型TFTはマルチゲートであるが、極性反転されるために、ソース側およびドレイン側の両方にLDD領域となる第2の不純物領域が設けられている。例えば、ゲート電極とオーバーラップするLDD領域(GOLD領域)205a、205b、206a、206cを1.5 μ m、オーバーラップしないLDD領域206b、206dの長さを1.5 μ mとすることができる。

【0190】〔実施例10〕本実施例では、本発明のTFT回路によるアクティブマトリクス型液晶表示装置を組み込んだ半導体装置について図25、図33、図34で説明する。

【0191】このような半導体装置には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、スチルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図25に示す。

【0192】図25（A）は携帯電話であり、本体9001、音声出力部9002、音声入力部9003、表示装置9004、操作スイッチ9005、アンテナ9006から構成されている。本願発明は音声出力部9002、音声入力部9003、及びアクティブマトリクス基板を備えた表示装置9004に適用することができる。

【0193】図25（B）はビデオカメラであり、本体9101、表示装置9102、音声入力部9103、操作スイッチ9104、バッテリー9105、受像部9106から成っている。本願発明は音声入力部9103、及びアクティブマトリクス基板を備えた表示装置9102、受像部9106に適用することができる。

【0194】図25（C）はモバイルコンピュータであり、本体9201、カメラ部9202、受像部9203、操作スイッチ9204、表示装置9205で構成されている。本願発明は受像部9203、及びアクティブマトリクス基板を備えた表示装置9205に適用することができる。

【0195】図25（D）はヘッドマウントディスプレイであり、本体9301、表示装置9302、アーム部9303で構成される。本願発明は表示装置9302に適用することができる。また、表示されていないが、その他の信号制御用回路に使用することもできる。

【0196】図25（E）はリア型プロジェクターであり、本体9401、光源9402、表示装置9403、偏光ビームスプリッタ9404、リフレクター9405、9406、スクリーン9407で構成される。本願発明は表示装置9403に適用することができる。

【0197】図25（F）は携帯書籍であり、本体9501、表示装置9502、9503、記憶媒体9504、操作スイッチ9505、アンテナ9506から構成されており、ミニディスク（MD）やDVDに記憶されたデータや、アンテナで受信したデータを表示するものである。表示装置9502、9503は直視型の表示装置であり、本発明はこの適用することができる。

【0198】図33（A）はパーソナルコンピュータであり、本体9601、画像入力部9602、表示装置9603、キーボード9604で構成される。

【0199】図33（B）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体9701、表示装置9702、スピーカ部9703、記録媒体9704、操作スイッチ9705で構成される。なお、この装置は記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示装置9702やその

他の信号制御回路に適用することができる。

【0200】図33（D）はデジタルカメラであり、本体9801、表示装置9802、接眼部9803、操作スイッチ9804、受像部（図示しない）で構成される。本願発明を表示装置9802やその他の信号制御回路に適用することができる。

【0201】図34（A）はフロント型プロジェクターであり、投射装置3601、スクリーン3602で構成される。本発明は投射装置3601やその他の信号制御回路に適用することができる。

【0202】図34（B）はリア型プロジェクターであり、本体3701、投射装置3702、ミラー3703、スクリーン3704で構成される。本発明は投射装置3702（特に50～100インチの場合に効果的である）やその他の信号制御回路に適用することができる。

【0203】なお、図34（C）は、図34（A）及び図34（B）中における投射装置3601、3702の構造の一例を示した図である。投射装置3601、3702は、光源光学系3801、ミラー3802、3805～3807、ダイクロイックミラー3803、3804、光学レンズ3808、3809、3811、液晶表示装置3810、投射光学系3812で構成される。投射光学系3812は、投射レンズを備えた光学系で構成される。本実施例は液晶表示装置3810を三つ使用する三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図34（C）中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0204】また、図34（D）は、図34（C）中における光源光学系3801の構造の一例を示した図である。本実施例では、光源光学系3801は、光源3813、3814、合成プリズム3815、コリメータレンズ3816、3820、レンズアレイ3817、3818、偏光変換素子3819で構成される。なお、図34（D）に示した光源光学系は光源を2つ用いたが、光源を3～4つ、あるいはそれ以上用いてもよく、勿論、光源を1つ用いてもよい。また、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等を設けてもよい。

【0205】また、ここでは図示しなかったが、本発明はその他にも、イメージセンサやEL型表示素子に適用することも可能である。このように、本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。

【0206】[実施例11]本実施例では、本発明を用いてEL（エレクトロルミネッセンス）表示パネル（EL表示装置ともいう）を作製した例について説明する。

【0207】図27(A)は本発明を用いたEL表示パネルの上面図である。図27(A)において、10は基板、11は画素部、12はソース側駆動回路、13はゲート側駆動回路であり、それぞれの駆動回路は配線14～16を経てFPC17に至り、外部機器へと接続される。

【0208】このとき少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてシーリング材（ハウジング材ともいう）18を設ける。なお、シーリング材18は素子部を囲めるような凹部を持つガラス板またはプラスチック板を用いても良いし、紫外線硬化樹脂を用いても良い。シーリング材18として素子部を囲めるような凹部を持つプラスチック板を用いた場合、接着剤19によって基板10に固着させ、基板10との間に密閉空間を形成する。このとき、EL素子は完全に前記密閉空間に封入された状態となり、外気から完全に遮断される。

【0209】さらに、シーリング材18と基板10との間の空隙20には不活性ガス（アルゴン、ヘリウム、窒素等）を充填しておいたり、酸化バリウム等の乾燥剤を設けておくことが望ましい。これによりEL素子の水分等による劣化を抑制することが可能である。

【0210】また、図27(B)は本実施例のEL表示パネルの断面構造であり、基板10、下地膜21の上に駆動回路用TFT（但し、ここではnチャネル型TFTとpチャネル型TFTを組み合わせたCMOS回路を図示している。）22及び画素部用TFT23（但し、ここではEL素子への電流を制御するTFTだけ図示している。）が形成されている。駆動回路用TFT22としては、図2に示したnチャネル型TFTまたはpチャネル型TFTを用いれば良い。また、画素部用TFT23には図2に示したnチャネル型TFTまたはpチャネル型TFTを用いれば良い。

【0211】本発明を用いて駆動回路用TFT22、画素部用TFT23が完成したら、樹脂材料でなる層間絶縁膜（平坦化膜）26の上に画素部用TFT23のドレインと電気的に接続する透明導電膜でなる画素電極27を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物（ITOと呼ばれる）または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極27を形成したら、絶縁膜28を形成し、画素電極27上に開口部を形成する。

【0212】次に、EL層29を形成する。EL層29は公知のEL材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法また

はインクジェット法等の簡易な方法を用いることが可能である。

【0213】本実施例では、シャドーマスクを用いて蒸着法によりEL層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層（赤色発光層、緑色発光層及び青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（CCM）とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のEL表示装置とすることもできる。

【0214】EL層29を形成したら、その上に陰極30を形成する。陰極30とEL層29の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層29と陰極30を連続成膜するか、EL層29を不活性雰囲気で形成し、大気解放しないで陰極30を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0215】なお、本実施例では陰極30として、LiF（フッ化リチウム）膜とAl（アルミニウム）膜の積層構造を用いる。具体的にはEL層29上に蒸着法で1nm厚のLiF（フッ化リチウム）膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極30は31で示される領域において配線16に接続される。配線16は陰極30に所定の電圧を与えるための電源供給線であり、導電性ペースト材料32を介してFPC17に接続される。

【0216】31に示された領域において陰極30と配線16とを電気的に接続するために、層間絶縁膜26及び絶縁膜28にコンタクトホールを形成する必要がある。これらは層間絶縁膜26のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜28のエッチング時（EL層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜28をエッチングする際に、層間絶縁膜26まで一括でエッチングしても良い。この場合、層間絶縁膜26と絶縁膜28が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【0217】また、配線16はシーリング材18と基板10との間を隙間（但し接着剤19で塞がれている。）を通過してFPC17に電気的に接続される。なお、ここでは配線16について説明したが、他の配線14、15も同様にしてシーリング材18の下を通過してFPC17に電気的に接続される。

【0218】以上のような構成でなるEL表示パネルにおいて、本願発明を用いることができる。ここで画素部のさらに詳細な断面構造を図28に、上面構造を図29

(A) に、回路図を図 29 (B) に示す。図 28、図 29 (A) 及び図 29 (B) では共通の符号を用いるので互いに参照すれば良い。

【0219】図 28 において、基板 2401 上に設けられたスイッチング用 TFT 2402 は本発明（例えば、実施形態 1 で図 2 で示した TFT）の n チャネル型 TFT を用いて形成される。本実施例ではダブルゲート構造としているが、構造及び作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に二つの TFT が直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも良い。或いは、また、本発明の p チャネル型 TFT を用いて形成しても構わない。

【0220】また、電流制御用 TFT 2403 は本願発明の n チャネル型 TFT を用いて形成される。このとき、スイッチング用 TFT 2402 のドレイン配線 35 は配線 36 によって電流制御用 TFT のゲート電極 37 に電気的に接続されている。また、38 で示される配線は、スイッチング用 TFT 2402 のゲート電極 39 a、39 b を電気的に接続するゲート配線である。

【0221】このとき、電流制御用 TFT 2403 が本願発明の構造であることは非常に重要な意味を持つ。電流制御用 TFT は EL 素子を流れる電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用 TFT のドレイン側に、ゲート絶縁膜を介してゲート電極（厳密にはゲート電極として機能するサイドウォール）に重なるように LDD 領域を設ける本願発明の構造は極めて有効である。

【0222】また、本実施例では電流制御用 TFT 2403 をシングルゲート構造で図示しているが、複数の TFT を直列につなげたマルチゲート構造としても良い。さらに、複数の TFT を並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0223】また、図 29 (A) に示すように、電流制御用 TFT 2403 のゲート電極 37 となる配線は 2404 で示される領域で、電流制御用 TFT 2403 のドレイン配線 40 と絶縁膜を介して重なる。このとき、2404 で示される領域ではコンデンサが形成される。このコンデンサ 2404 は電流制御用 TFT 2403 のゲートにかかる電圧を保持するためのコンデンサとして機能する。なお、ドレイン配線 40 は電流供給線（電源線）2501 に接続され、常に一定の電圧が加えられている。

【0224】スイッチング用 TFT 2402 及び電流制

御用 TFT 2403 の上には第 1 パッシベーション膜 41 が設けられ、その上に樹脂絶縁膜でなる平坦化膜 42 が形成される。平坦化膜 42 を用いて TFT による段差を平坦化することは非常に重要である。後に形成される EL 層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL 層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0225】また、43 は反射性の高い導電膜でなる画素電極（EL 素子の陰極）であり、電流制御用 TFT 2403 のドレインに電気的に接続される。画素電極 43 としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0226】また、絶縁膜（好ましくは樹脂）で形成されたバンク 44 a、44 b により形成された溝（画素に相当する）の中に発光層 44 が形成される。なお、ここでは画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機 EL 材料としては π 共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（PPV）系、ポリビニルカルバゾール（PVK）系、ポリフルオレン系などが挙げられる。

【0227】なお、PPV 系有機 EL 材料としては様々な型のものがあるが、例えば「H. Shcenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p. 33-37」や特開平 10-92576 号公報に記載されたような材料を用いれば良い。

【0228】具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は 30~150 nm（好ましくは 40~100 nm）とすれば良い。

【0229】但し、以上の例は発光層として用いることのできる有機 EL 材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせて EL 層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。

【0230】例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機 EL 材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機 EL 材料や無機材料は公知の材料を用いることができる。

【0231】本実施例では発光層 45 の上に PEDOT

(ポリチオフェン) または PAni (ポリアニリン) である正孔注入層 46 を設けた積層構造の EL 層としている。そして、正孔注入層 46 の上には透明導電膜である陽極 47 が設けられる。本実施例の場合、発光層 45 で生成された光は上面側に向かって (TFT の上方に向かって) 放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0232】陽極 47 まで形成された時点で EL 素子 2405 が完成する。なお、ここでいう EL 素子 2405 は、画素電極 (陰極) 43、発光層 45、正孔注入層 46 及び陽極 47 で形成されたコンデンサを指す。図 29 (A) に示すように画素電極 43 は画素の面積にほぼ一致するため、画素全体が EL 素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0233】ところで、本実施例では、陽極 47 の上にさらに第 2 パッシベーション膜 48 を設けている。第 2 パッシベーション膜 48 としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部と EL 素子とを遮断することであり、有機 EL 材料の酸化による劣化を防ぐ意味と、有機 EL 材料からの脱ガスを抑える意味との両方を併せ持つ。これにより EL 表示装置の信頼性が高められる。

【0234】以上のように本願発明の EL 表示パネルは図 28 のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用 TFT と、ホットキャリア注入に強い電流制御用 TFT とを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能な EL 表示パネルが得られる。

【0235】なお、本実施例の構成は、実施形態 1~6 及び実施例 1~6 の構成と自由に組み合わせて実施することが可能である。また、実施例 10 の電子機器の表示部として本実施例の EL 表示パネルを用いることは有効である。

【0236】【実施例 12】本実施例では、実施例 11 に示した画素部において、EL 素子 2405 の構造を反転させた構造について説明する。説明には図 26 を用いる。なお、図 29 (A) の構造と異なる点は EL 素子の部分と電流制御用 TFT だけであるので、その他の説明は省略することとする。

【0237】図 30 において、電流制御用 TFT 2601 は本願発明の p チャネル型 TFT を用いて形成される。作製プロセスは実施例 1 を参照すれば良い。

【0238】本実施例では、画素電極 (陽極) 50 として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物である導電膜を用いる。勿論、酸化イ

ンジウムと酸化スズとの化合物である導電膜を用いても良い。

【0239】そして、絶縁膜であるバンク 51a、51b が形成された後、溶液塗布によりポリビニルカルバゾールである発光層 52 が形成される。その上にはカリウムアセチルアセトネート (acacK と表記される) である電子注入層 53、アルミニウム合金である陰極 54 が形成される。この場合、陰極 54 がパッシベーション膜としても機能する。こうして EL 素子 2602 が形成される。

【0240】本実施例の場合、発光層 53 で発生した光は、矢印で示されるように TFT が形成された基板の方に向かって放射される。本実施例のような構造とする場合、電流制御用 TFT 2601 は p チャネル型 TFT で形成することが好ましい。

【0241】なお、本実施例の構成は、実施形態 1~6 及び実施例 1~6 の構成と自由に組み合わせて実施することが可能である。また、実施例 18 の電子機器の表示部として本実施例の EL 表示パネルを用いることは有効である。

【0242】【実施例 13】本実施例では、図 29

(B) に示した回路図とは異なる構造の画素とした場合の例について図 31 に示す。なお、本実施例において、2701 はスイッチング用 TFT 2702 のソース配線、2703 はスイッチング用 TFT 2702 のゲート配線、2704 は電流制御用 TFT、2705 はコンデンサ、2706、2708 は電流供給線、2707 は EL 素子とする。

【0243】図 31 (A) は、二つの画素間で電流供給線 2706 を共通とした場合の例である。即ち、二つの画素が電流供給線 2706 を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0244】また、図 31 (B) は、電流供給線 2708 をゲート配線 2703 と平行に設けた場合の例である。なお、図 31 (B) では電流供給線 2708 とゲート配線 2703 とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線 2708 とゲート配線 2703 とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0245】また、図 31 (C) は、図 31 (B) の構造と同様に電流供給線 2708 をゲート配線 2703 と平行に設け、さらに、二つの画素を電流供給線 2708 を中心に線対称となるように形成する点に特徴がある。また、電流供給線 2708 をゲート配線 2703 のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画

素部をさらに高精細化することができる。

【0246】なお、本実施例の構成は、実施例11または12の構成と自由に組み合わせて実施することが可能である。また、実施例10の電子機器の表示部として本実施例の画素構造を有するEL表示パネルを用いることは有効である。

【0247】[実施例14] 実施例13に示した図31(A)、図31(B)では電流制御用TFT2403のゲートにかかる電圧を保持するためにコンデンサ2404を設ける構造としているが、コンデンサ2404を省略することも可能である。

【0248】実施例13の場合、電流制御用TFT2403として図28に示すような本願発明のnチャネル型TFTを用いているため、ゲート絶縁膜を介してゲート電極(と重なるように設けられたLDD領域を有している。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量をコンデンサ2404の代わりとして積極的に用いる点に特徴がある。

【0249】この寄生容量のキャパシタンスは上記ゲート電極とLDD領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれるLDD領域の長さによって決まる。

【0250】また、図31(A)、(B)、(C)の構造においても同様にコンデンサ2705を省略することは可能である。

【0251】なお、本実施例の構成は、実施形態1~6及び実施例1~6の構成と自由に組み合わせて実施することが可能である。また、実施例10の電子機器の表示部として本実施例の画素構造を有するEL表示パネルを用いることは有効である。

【0252】[実施例15] 実施例7で示したの液晶表示装置にはネマチック液晶以外にも様々な液晶を用いることが可能である。例えば、1998, SID, "Characteristic and Driving Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furu et al. や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al. や、1996, J. Mater. Chem. 6(4), 671-673, "Thresholdless antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al. や、米国特許第5594569号に開示された液晶を用いることが可能である。

【0253】等方相-コレステリック相-カイラルスメクティックC相転移系列を示す強誘電性液晶(FLC)を用い、DC電圧を印加しながらコレステリック相-カイラルスメクティックC相転移をさせ、かつコーンエッジをほぼラビング方向に一致させた単安定FLCの電気

光学特性を図22に示す。図22に示すような強誘電性液晶による表示モードは「Half-V字スイッチングモード」と呼ばれている。図22に示すグラフの縦軸は透過率(任意単位)、横軸は印加電圧である。「Half-V字スイッチングモード」については、寺田らの「Half-V字スイッチングモードFLCD」、第46回応用物理学関係連合講演会講演予稿集、1999年3月、第1316頁、および吉原らの「強誘電性液晶による時分割フルカラーLCD」、液晶第3巻第3号第190頁に詳しい。

【0254】図32に示されるように、このような強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。本発明の液晶表示装置には、このような電気光学特性を示す強誘電性液晶も用いることができる。

【0255】また、ある温度域において反強誘電相を示す液晶を反強誘電性液晶(AFLC)という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しき値反強誘電性混合液晶と呼ばれるものがある。この無しき値反強誘電性混合液晶は、いわゆるV字型の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度(セル厚約1μm~2μm)のものも見出されている。

【0256】また、一般に、無しき値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しき値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しき値反強誘電性混合液晶を用いるのが好ましい。

【0257】なお、このような無しき値反強誘電性混合液晶を本発明の液晶表示装置に用いることによって低電圧駆動が実現されるので、低消費電力化が実現される。

【0258】

【発明の効果】本願発明を実施することで、安定した結晶質TFT動作を得ることができた。その結果、結晶質TFTで作製されたCMOS回路を含む半導体装置、また、具体的には液晶表示装置の画素TFTや、その周辺に設けられる駆動回路の信頼性を高め、長時間の使用に耐える液晶表示装置を得ることができた。

【0259】また、本発明によれば、nチャネル型TFTのチャネル形成領域とドレイン領域との間に形成される第2の不純物領域において、その第2の不純物領域がゲート電極とオーバーラップする領域(GOLD領域)とオーバーラップしない領域(LDD領域)の長さを容易に作り分けることが可能である。具体的には、TFTの駆動電圧に応じて第2の不純物領域がゲート電極とオーバーラップする領域(GOLD領域)とオーバーラップしない領域(LDD領域)の長さを決めることも可能

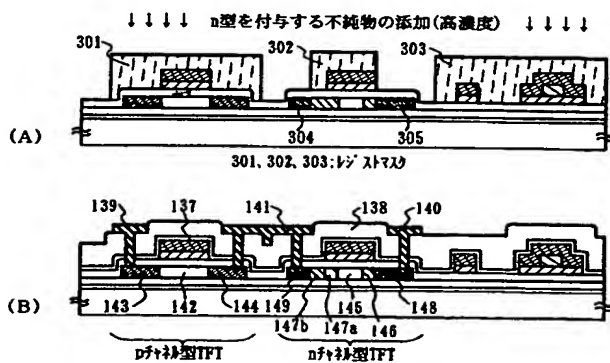
であり、このことは、同一基板内において異なる駆動電圧でTFT動作させる場合に、それぞれの駆動電圧に応じたTFTを同一工程で作製することを可能とした。

【0260】さらに、ゲート配線の一部、およびゲートバスラインをクラッド型の構造とすることで、アクティブマトリクス型液晶表示装置やイメージセンサに代表される大面積集積回路において、回路の集積化の向上を実現する上できわめて有効であった。

【図面の簡単な説明】

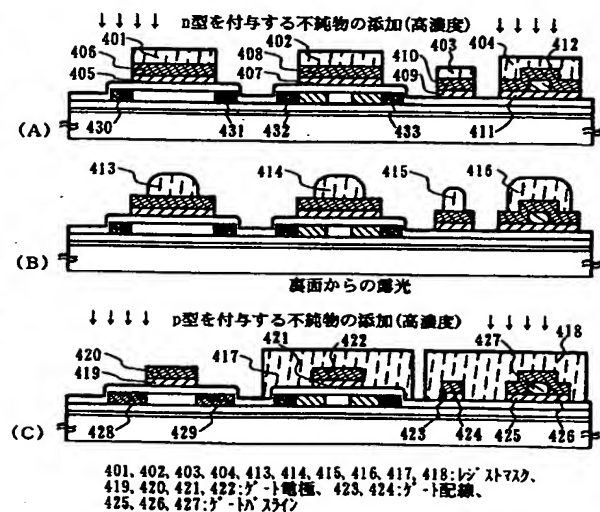
- 【図1】 TFTの作製工程を示す断面図。
 【図2】 TFTの作製工程を示す断面図とCMOS回路の平面図。
 【図3】 TFTの作製工程を示す断面図。
 【図4】 TFTの作製工程を示す断面図。
 【図5】 TFTの作製工程を示す断面図。
 【図6】 TFTの作製工程を示す断面図とCMOS回路の平面図。
 【図7】 TFTの作製工程を示す断面図。
 【図8】 TFTの作製工程を示す断面図とCMOS回路の平面図。
 【図9】 TFTの作製工程を示す断面図。
 【図10】 TFTの作製工程を示す断面図。
 【図11】 アクティブマトリクス基板の断面図。
 【図12】 アクティブマトリクス基板の断面図。
 【図13】 液晶表示装置の作製工程を示す図。
 【図14】 液晶表示装置の断面図。
 【図15】 アクティブマトリクス基板の斜視図。
 【図16】 アクティブマトリクス回路の上面図。
 【図17】 画素部の上面図と断面図。

【図3】



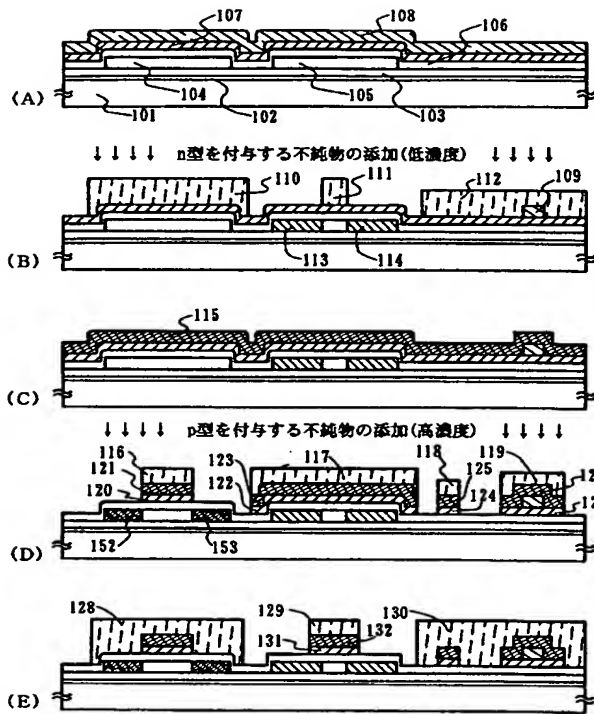
- 【図18】 結晶質シリコン膜の作製工程を示す図。
 【図19】 結晶質シリコン膜の作製工程を示す図。
 【図20】 結晶質シリコン膜の作製工程を示す図。
 【図21】 結晶質シリコン膜の作製工程を示す図。
 【図22】 TFTの作製工程を示す断面図。
 【図23】 アクティブマトリクス型液晶表示装置の一実施形態の回路ブロック図。
 【図24】 本発明のTFTの構成を示す図。
 【図25】 半導体装置の一例を示す図。
 【図26】 本発明のゲート電極とLDD領域の関係を説明する図。
 【図27】 EL表示パネルの上面図及び断面図。
 【図28】 EL表示パネルの画素部の断面構造を示す図。
 【図29】 EL表示パネルの画素部の上面構造を及び回路図を示す図。
 【図30】 EL表示パネルの画素部の断面構造を示す図。
 【図31】 EL表示パネルの画素部の回路図を示す図。
 【図32】 反強誘電性混合液晶の光透過率特性の一例を示す図。
 【図33】 半導体装置の一例を示す図。
 【図34】 半導体装置の一例を示す図。
 【符号の説明】
 201、204 チャネル形成領域
 209、210 ゲート電極
 211、212 ソース電極
 213 ドレイン電極

【図4】



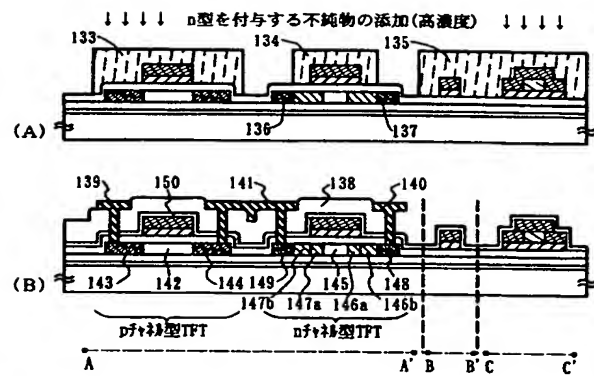
401, 402, 403, 404, 413, 414, 415, 416, 417, 418: n-型シリコン膜、
 419, 420, 421, 422: ゲート電極、423, 424: ゲート配線、
 425, 426, 427: ゲートバスライン

【図1】



101:基板、102:下地膜(SiN)、103:下地膜(SiON)、104、105:半導体層、106:ゲート絶縁膜、107:第1の導電層、108:第3の導電層、109:ゲートスライ、110、111、112、115、117、118、119:レジスタ、115:第3の導電層、120、122:ゲート電極、121、123:ゲート電極、124、125:ゲート配線、126、127:ゲートスライ、128、129、130:レジスタ、131、132:ゲート電極

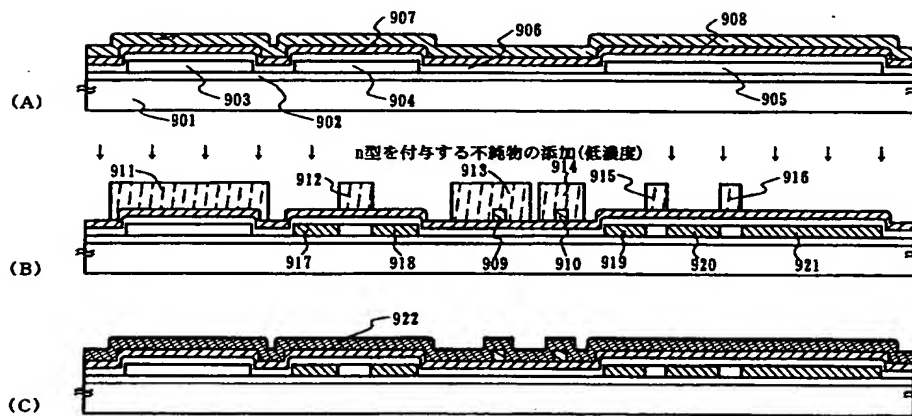
【図2】



(C) CMOS回路の上面図

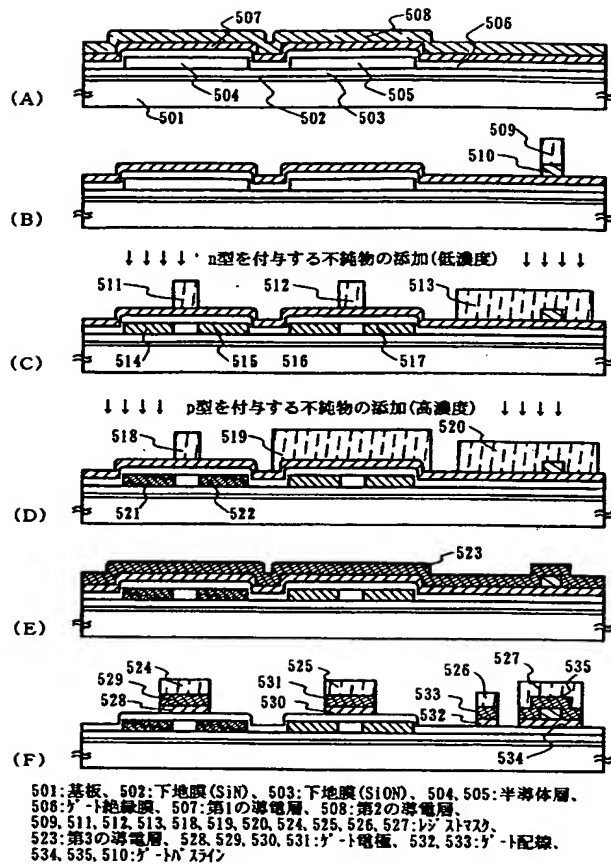
133、134、135:レジスタ、150:第1の層間絶縁膜(SiN)、138:第1の層間絶縁膜(SiO₂)、139、140:ゲート電極、141:ドレイン電極、142、145:ゲート領域、143:第3の不純物領域(ドレイン)、144:第3の不純物領域(ドレイン)、146、147:第2の不純物領域、148:第1の不純物領域(ドレイン)、149:第1の不純物領域(ドレイン)

【図9】

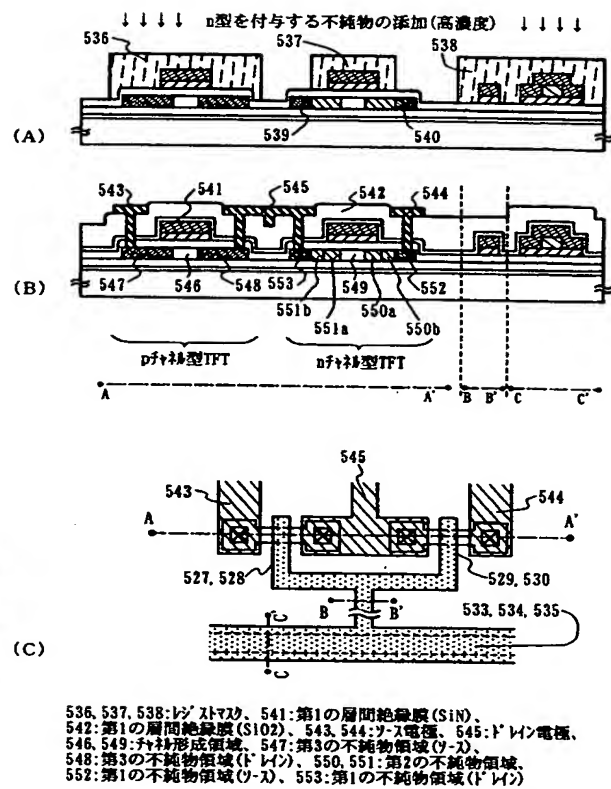


901:基板、902:下地膜、903、904、905:半導体層、906:ゲート絶縁膜、907:第1の導電層、908:第2の導電層、911、912、913、914、915、916:レジスタ、922:第3の導電層

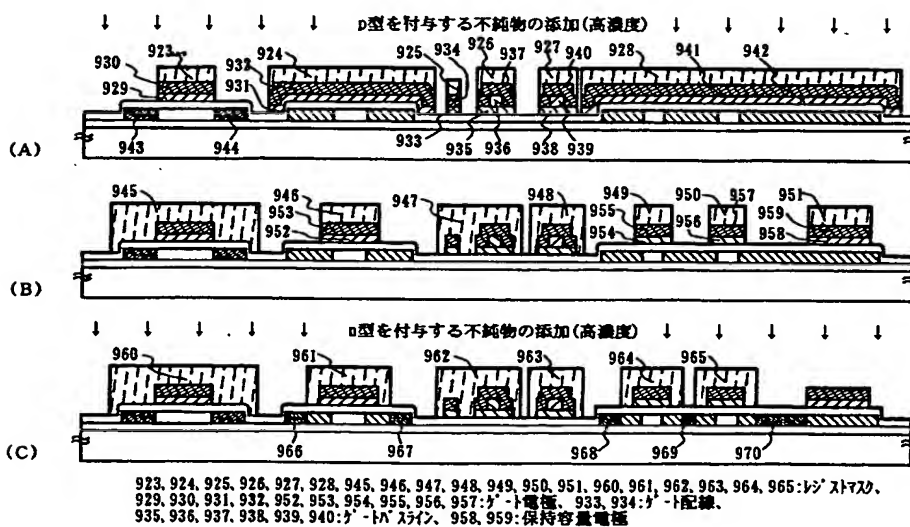
【図5】



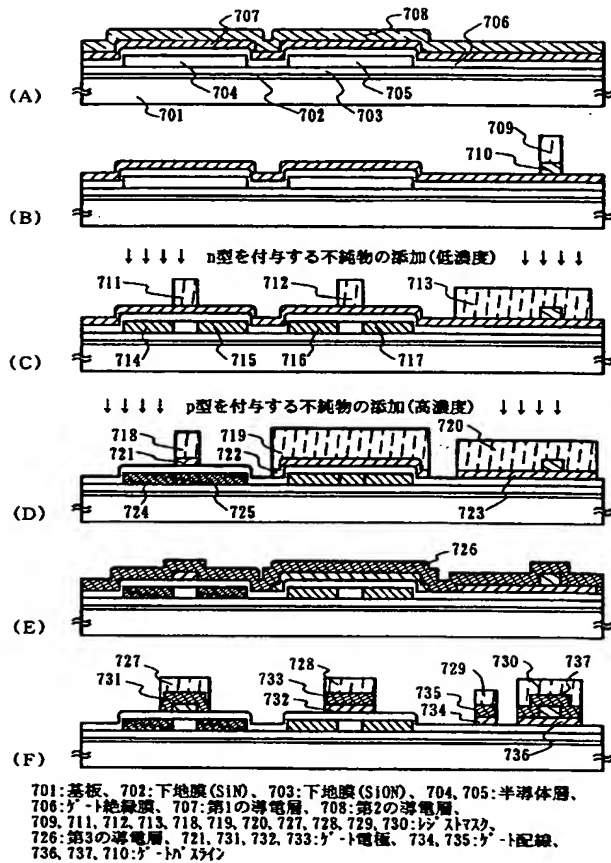
【図6】



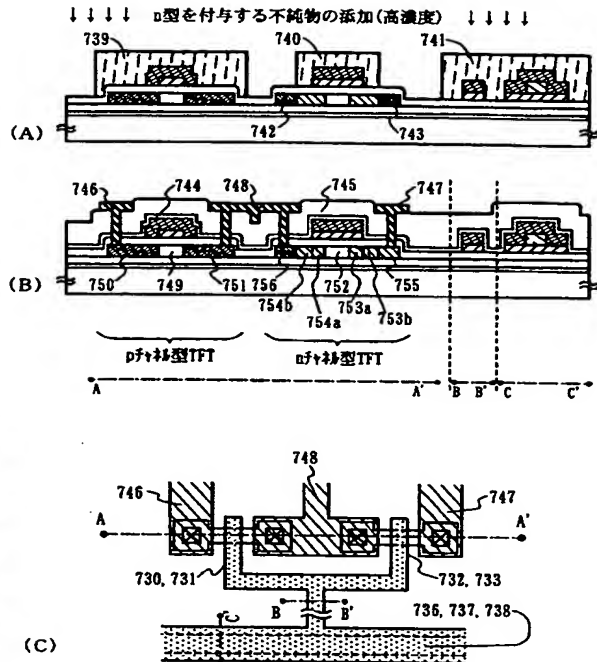
【図10】



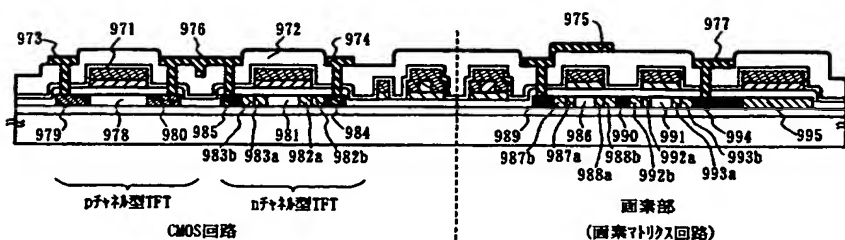
【図7】



【図8】

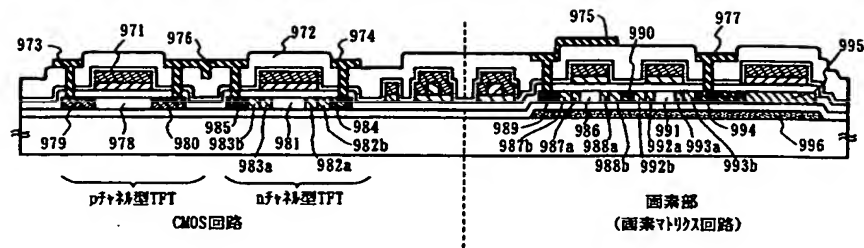


【図11】



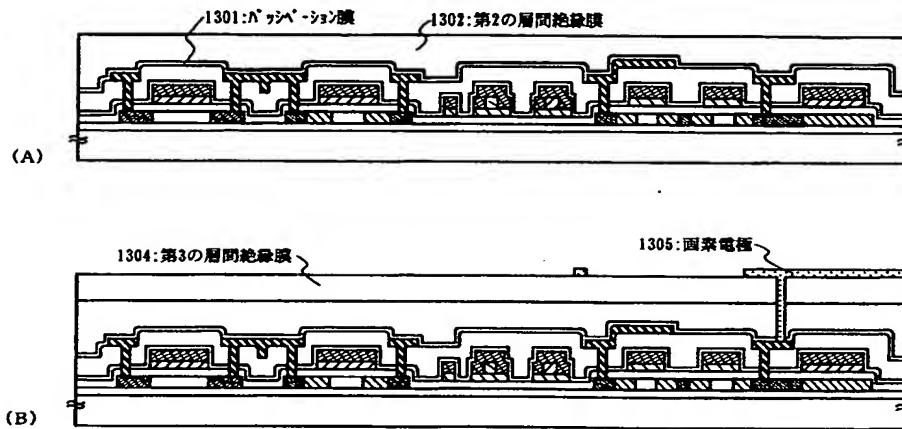
971: 第1の層間絶縁膜 (SiN)、972: 第1の層間絶縁膜 (SiO2)、973, 974, 975: ゲート電極、976, 977: ドレイン電極、978, 981, 986, 991: 半導体形成領域、979: 第3の不純物領域 (P-)、980: 第3の不純物領域 (P-)、982, 983: 第2の不純物領域 (LDD)、984: 第1の不純物領域 (P-)、985: 第1の不純物領域 (P-)、987, 988, 992, 993: 第2の不純物領域 (LDD)、989: 第1の不純物領域 (P-)、994: 第1の不純物領域 (P-)、995: 低濃度不純物領域

【図12】

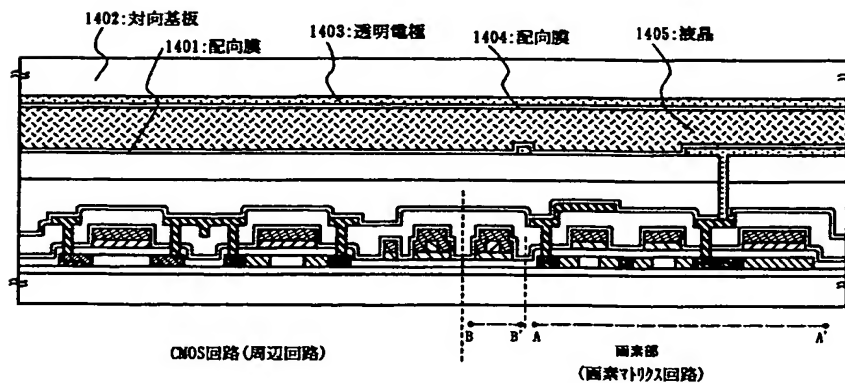


971:第1の層間絶縁膜(SiN)、972:第1の層間絶縁膜(SiO₂)、973,974,975:ゲート電極、976,977:ドレイン電極、978,981,986,991:ポリシリコン形成領域、979:第3の不純物領域(P-)、980:第3の不純物領域(D-)、982,983:第2の不純物領域(LDD)、984:第1の不純物領域(P-)、985:第1の不純物領域(D-)、987,988,992,993:第2の不純物領域(LDD)、989:第1の不純物領域(P-)、994:第1の不純物領域(D-)、995:低濃度不純物領域、996:遮光膜

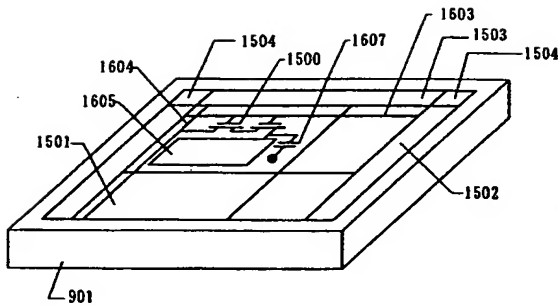
【図13】



【図14】



【図15】

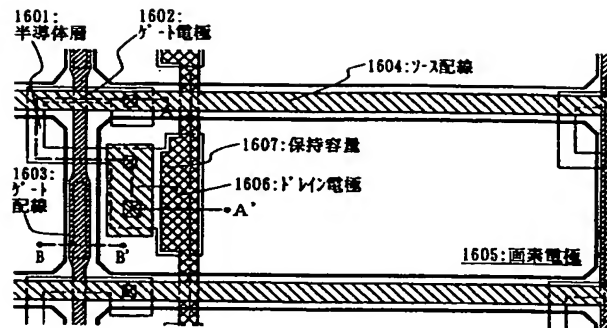


901:基板

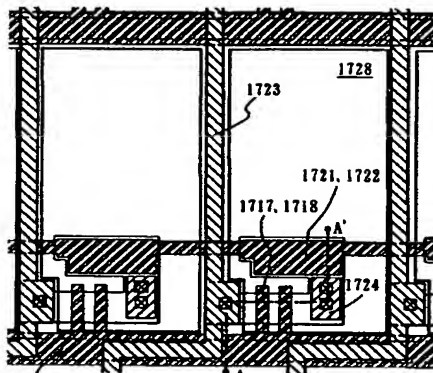
1500:画素TFT、1501:画素部、1502:走査(ゲート)線駆動回路、
1503:信号(ソース)線駆動回路、1504:リセット回路

1603:ゲート配線、1604:ソース配線、1605:画素電極、1607:保持容量

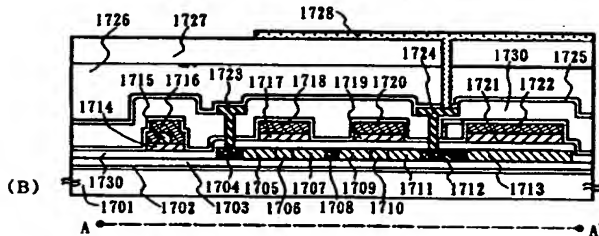
【図16】

画素部上面図
(画素マトリクス回路上面図)

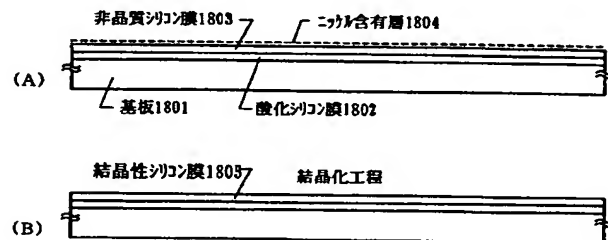
【図17】



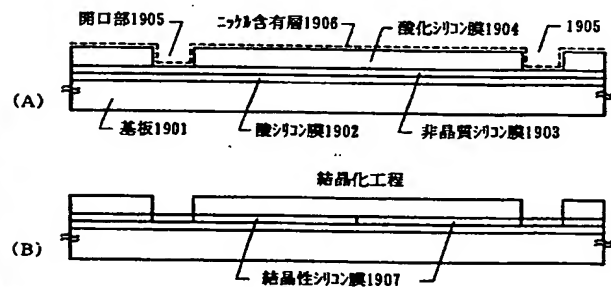
(A) 画素マトリクス回路上面図

1701:基板、1702:下地膜(SiN)、1703:下地膜(SiO₂)、
1704:第1の不純物領域(リソ)、1705、1707、1709、1711:第2の不純物領域(LDD)、
1706、1710:リソ形成領域、1712:第1の不純物領域(ドレイン)、
1713:低濃度不純物領域、1714、1715、1716:ゲート配線、
1717、1718、1719、1720:ゲート電極、1721、1722:保持容量電極、1723:ソース電極、
1724:ドレイン電極、1725:A'側ハレーション膜、1726:第2の層間絶縁膜、
1727:第3の層間絶縁膜、1728:画素電極、1730:第1の層間絶縁膜

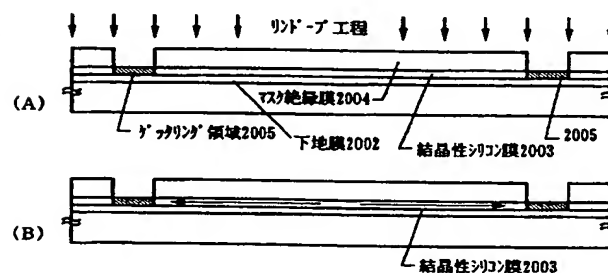
【図18】



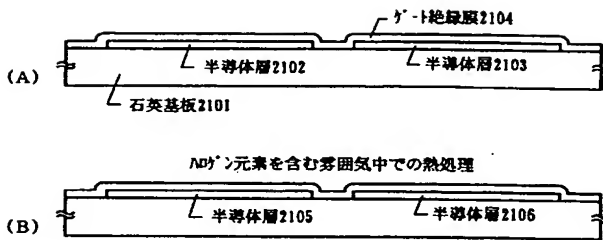
【図19】



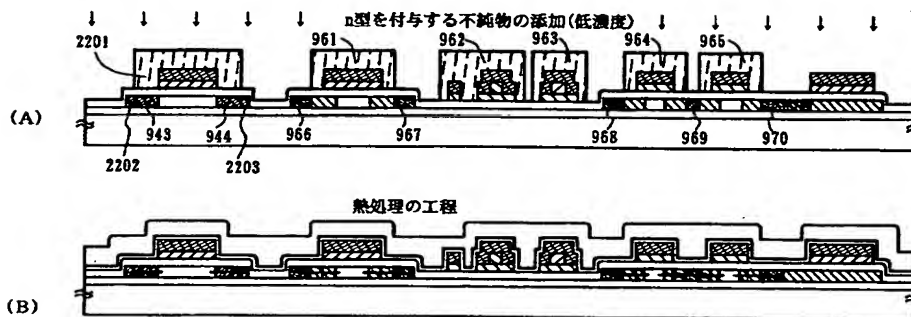
【図20】



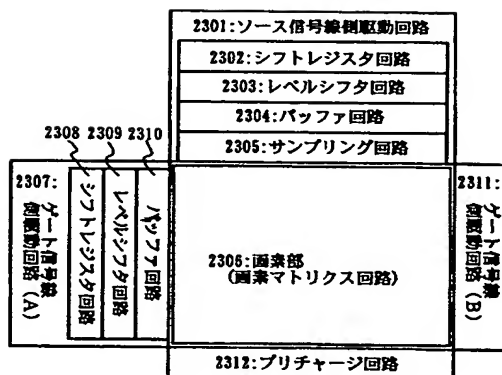
【図21】



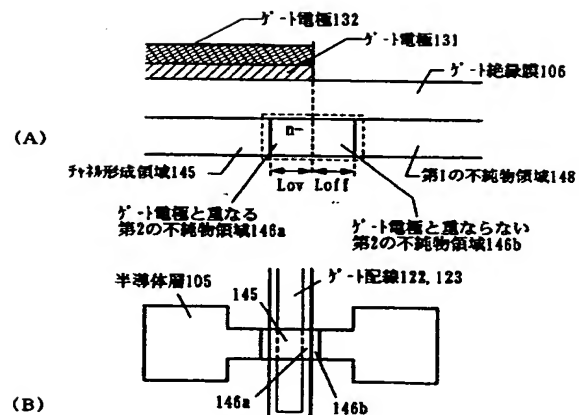
【図22】



【図23】



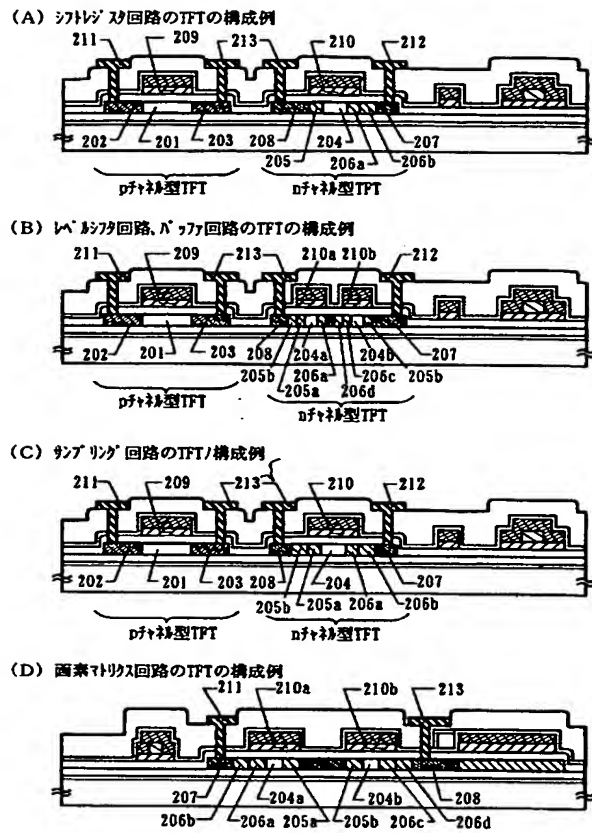
【図26】



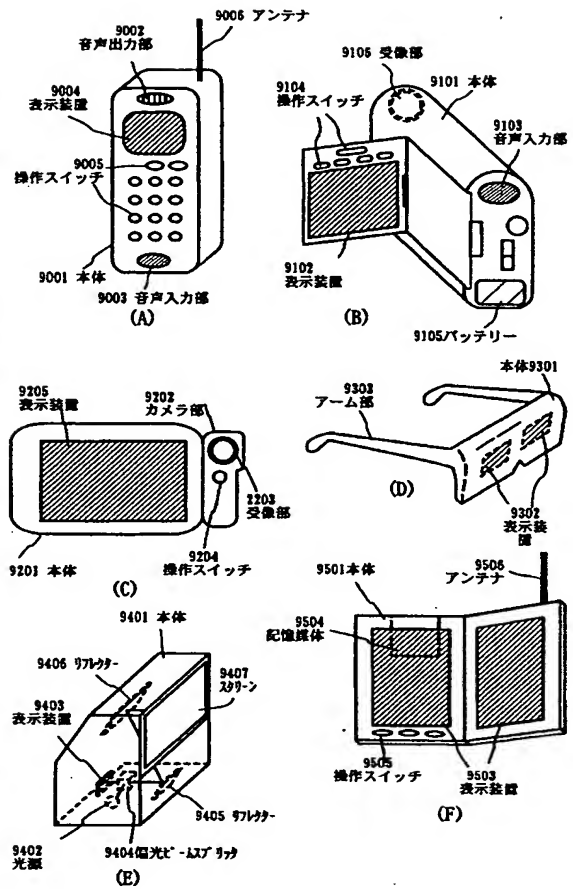
設計値の一例

	TFT電源電圧	チャネル μm	LoV μm	Loff μm
ドライバ バッファ回路部TFT	(16 \pm 2)V系	5.0 \pm 1.5	2.5 \pm 0.3	2.5 \pm 0.5
ドライバ シフトレジスタ回路部TFT	(20 \pm 3)V系	5.0 \pm 2.0	3.0 \pm 0.5	3.0 \pm 0.5
ドライバ シフトレジスタ回路部TFT	(5 \pm 1)V系	3.0 \pm 1.0	0.5 \pm 0.3	0.5 \pm 0.3
アンプ シグナル回路部TFT	(10 \pm 1)V系	3.5 \pm 1.0	2.0 \pm 0.3	1.0 \pm 0.5
アンプ シグナル回路部TFT	(16 \pm 2)V系	3.0 \pm 1.0	1.5 \pm 0.5	1.5 \pm 0.5
画素回路部TFT	(16 \pm 2)V系	3.0 \pm 1.0	1.5 \pm 0.5	1.5 \pm 0.5

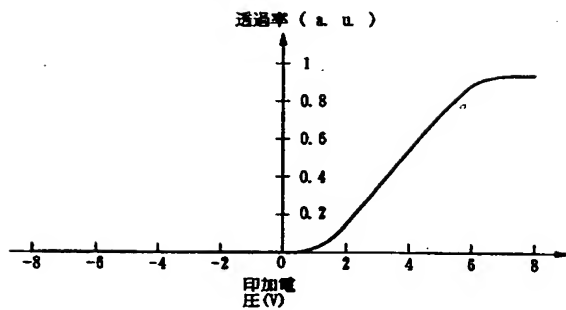
【図 24】



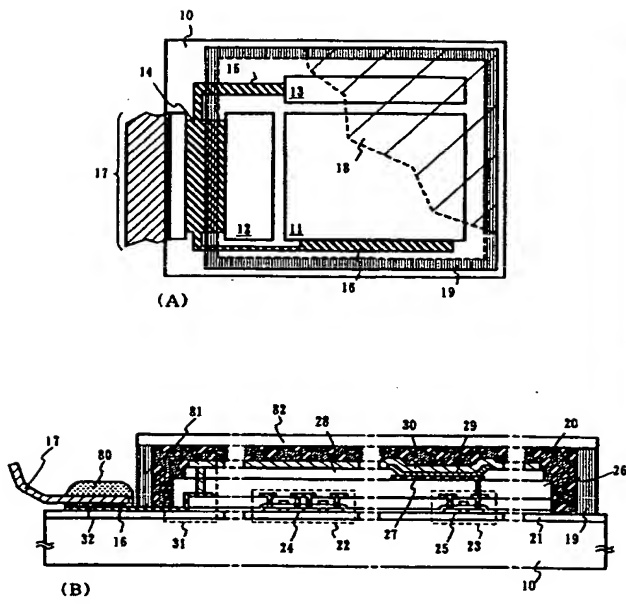
【図 25】



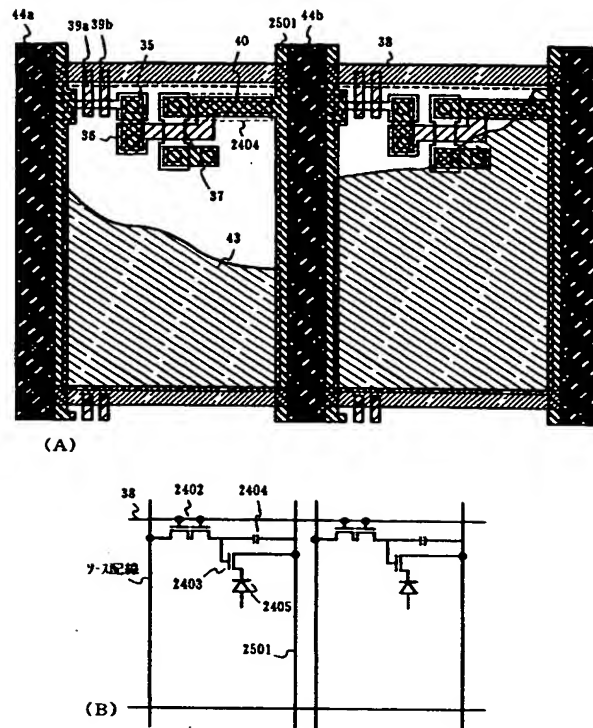
【図 32】



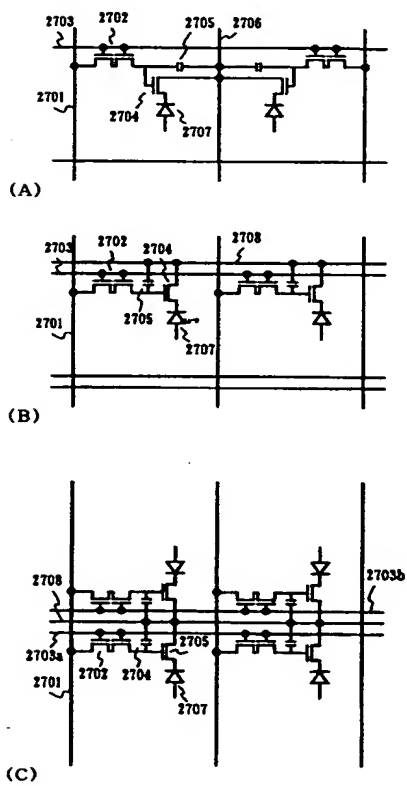
【図 27】



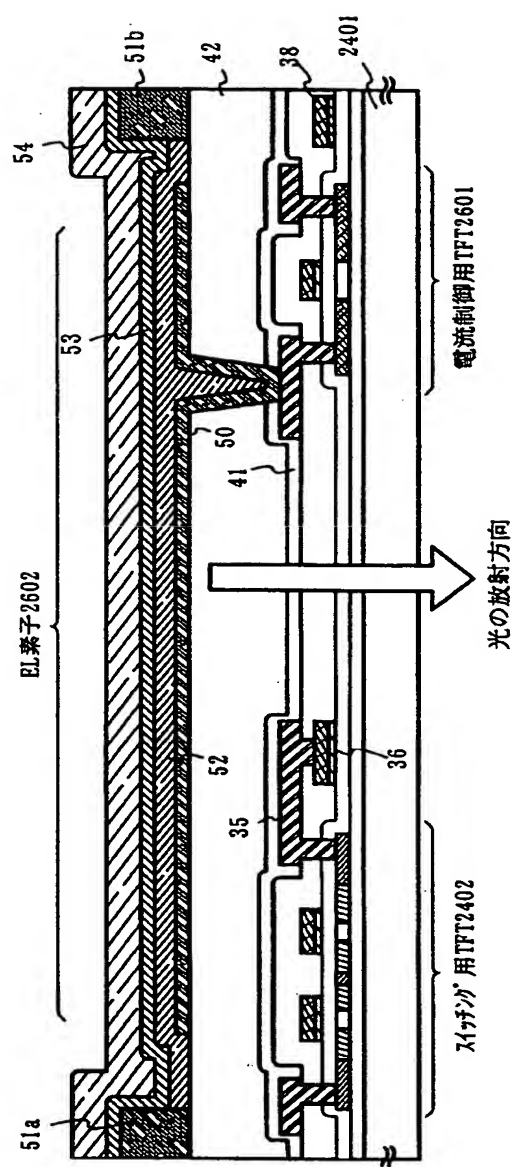
【図 29】



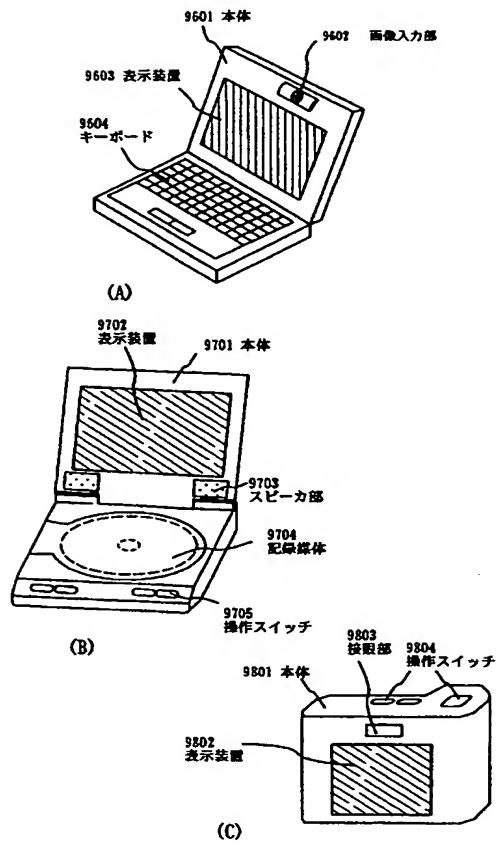
【図 31】



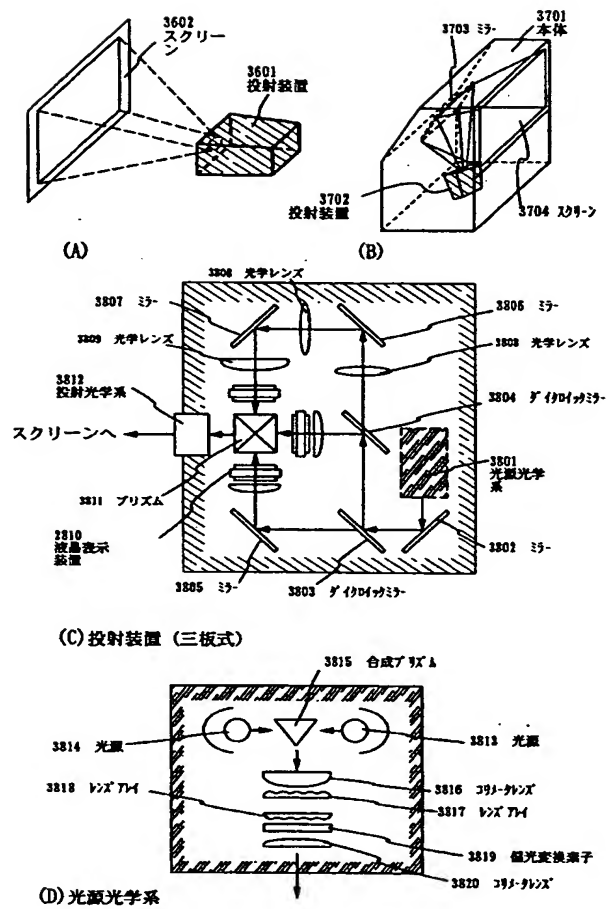
【図 30】



【図 33】



【図 34】



フロントページの続き

(51)Int.Cl.⁷

H01L 27/08

識別記号

331

FI

H01L 29/78

テーマコード(参考)

617L

618F